

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-242209

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09F 9/35
G09G 3/36
H03M 1/66

(21)Application number : 11-299188

(71)Applicant : SONY CORP

(22)Date of filing : 21.10.1999

(72)Inventor : NAKAJIMA YOSHIHARU
MAEKAWA TOSHIICHI

(30)Priority

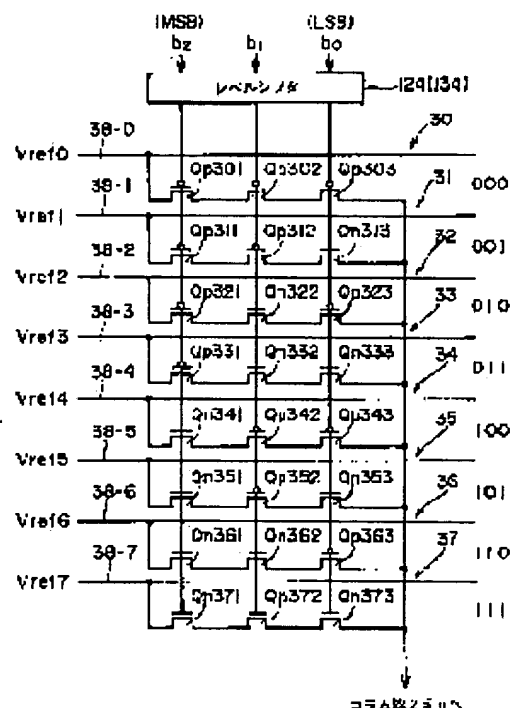
Priority number : 10362283 Priority date : 21.12.1998 Priority country : JP

(54) DIGITAL-ANALOG CONVERTING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE MOUNTING THE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DA converting circuit which requires a small number of components composing the circuit and can contribute to narrowing the frame width of a LCD panel, and a liquid crystal display device mounting the circuit.

SOLUTION: In the reference voltage selective AD converting circuit in a liquid crystal display device integral with a driving circuit, each of three pieces of analog switches of polarities corresponding to each bit logic of, for example, three bits (b2, b1, b0) of data is formed of one piece of conductive (P-channel/N-channel) MOS transistor corresponding to each bit logic, and these are connected in series to form gradation selecting units 30-37 for as many as 8 gradations. And, these gradation selecting units 30-37 are connected across reference voltage lines 38-0 to 38-7 for as many as 8 gradations and the column line 25n, respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-242209

(P2000-242209A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F
G 0 2 F 1/133	5 0 0	G 0 2 F 1/133	5 0 0
G 0 9 F 9/35	3 0 5	G 0 9 F 9/35	3 0 5
G 0 9 G 3/36		G 0 9 G 3/36	
H 0 3 M 1/66		H 0 3 M 1/66	C

審査請求 未請求 請求項の数 7 O L (全 24 頁)

(21) 出願番号 特願平11-299188

(22) 出願日 平成11年10月21日 (1999. 10. 21)

(31) 優先権主張番号 特願平10-362283

(32) 優先日 平成10年12月21日 (1998. 12. 21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 仲島 義晴

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 前川 敏一

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

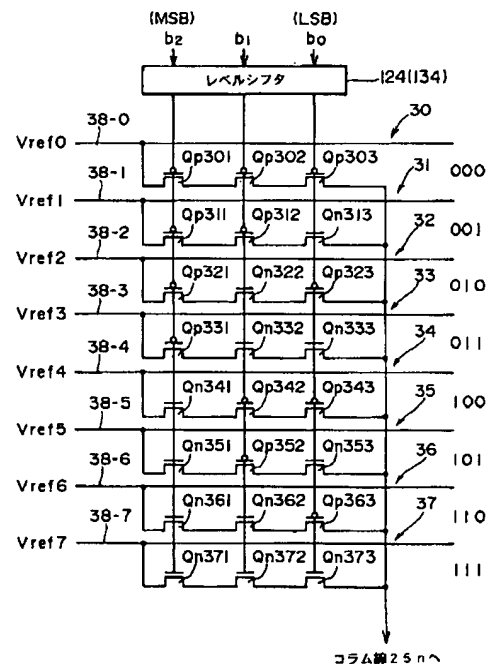
(54) 【発明の名称】 デジタルアナログ変換回路およびこれを搭載した液晶表示装置

(57) 【要約】

【課題】 選択スイッチ、ラッチ回路およびデコード回路からなる階調選択ユニットを各階調ごとに設けると、回路素子数が非常に多くなり、非常に大きな回路面積が必要となるため、LCDパネルの額縁が広がる。

【解決手段】 駆動回路一体型液晶表示装置における基準電圧選択型AD変換回路において、例えば3ビット

(b2, b1, b0) のデータ信号の各ビットの論理に対応した極性の3個のアナログスイッチの各々を、各ビットの論理に対応した導電型 (Pチャネル/Nチャネル) の1個のMOSトランジスタで形成するとともに、これらを直列に接続して8階調分の階調選択ユニット30~37を構成する。そして、これら階調選択ユニット30~37を8階調分の基準電圧線38-0~38-7の各々とコラム線25nとの間にそれぞれ接続する。



【特許請求の範囲】

【請求項1】 nビット（nは2以上の整数）のデータ信号の各ビットの論理に対応した極性のn個のアナログスイッチが互いに直列に接続されてなり、かつ2ⁿ本の基準電圧線の各々と出力線との間にそれぞれ接続された2ⁿ個の階調選択ユニットを有することを特徴とするデジタルアナログ変換回路。

【請求項2】 前記n個のアナログスイッチは各々、前記データ信号の各ビットの論理に対応した導電型の1個のMOSトランジスタからなることを特徴とする請求項1記載のデジタルアナログ変換回路。

【請求項3】 前記データ信号の振幅は、基準電圧のレベル範囲に対してPチャネルMOSトランジスタの閾値だけ低く、かつNチャネルMOSトランジスタの閾値だけ高いレベル範囲以上であることを特徴とする請求項2記載のデジタルアナログ変換回路。

【請求項4】 複数の画素からなる有効画素領域とデジタルアナログ変換回路を含む駆動回路とが形成された第1の基板と、前記第1の基板に対して所定の間隔をもって対向配置された第2の基板と、前記第1の基板と前記第2の基板との間に保持された液晶層とを具備する液晶表示装置であって、前記デジタルアナログ変換回路は、nビット（nは2以上の整数）のデータ信号の各ビットの論理に対応した極性のn個のアナログスイッチが互いに直列に接続されてなり、かつ2ⁿ本の基準電圧線と画素部のコラム線との間にそれぞれ接続された2ⁿ個の階調選択ユニットを有することを特徴とする液晶表示装置。

【請求項5】 前記有効画素領域の各画素は、液晶セルの対向電極に共通に印加されるコモン電圧を1水平期間ごとに反転させるコモン反転駆動によって駆動されることを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記駆動回路は、複数の転送段からなり、スタート信号にตอบสนองしてシフト動作を行うことによって各転送段から順にサンプリングパルスを出力するシフトレジスタと、前記シフトレジスタの各転送段から出力されるサンプリングパルスに同期してデータ信号を順次サンプリングしてラッチする第1のラッチ回路と、前記第1のラッチ回路によってサンプリングされた信号を各コラム線に対応して1水平期間ごとにラッチし、そのラッチした信号を前記デジタルアナログ変換回路へ供給する第2のラッチ回路とを具備し、

前記シフトレジスタは、前記スタート信号をレベルシフトして初段の転送段に供給する第1のレベルシフト回路と、クロック信号をレベルシフトして各段の転送段に供給する第2のレベルシフト回路とを有するとともに、前記第1、第2のレベルシフト回路が、CMOSラッチセルを基本構成とし、前記CMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ挿入された抵抗素子を有し、

前記第1のラッチ回路は、CMOSラッチセルを基本構成とし、前記CMOSラッチセルの2つの入力部と2つの入力信号線との間にそれぞれ接続された第1のスイッチと、前記CMOSラッチセルの電源側と電源ラインとの間に接続された第2のスイッチと、前記第1のスイッチと前記第2のスイッチとを相補的にスイッチング制御する制御手段とを備えており、

前記第2のラッチ回路は、CMOSラッチセルを基本構成とし、前記CMOSラッチセルの正電源側および負電源側の少なくとも一方に設けられて、電源電圧が異なる第1、第2の電源をそれぞれ選択する第1、第2のスイッチと、前記CMOSラッチセルのラッチ動作および出力動作の各期間に応じて前記第1、第2のスイッチをスイッチング制御する制御手段とを備えていることを特徴とする請求項4記載の液晶表示装置。

【請求項7】 前記駆動回路は、前記第2のラッチ回路と前記デジタルアナログ変換回路との間に、前記第2のラッチ回路でラッチされた信号をレベルシフトして前記デジタルアナログ変換回路に供給するレベルシフト回路を具備し、

前記レベルシフトは、CMOSラッチセルを基本構成とし、前記CMOSラッチセルの2つの入力部と2つの入力信号源との間にそれぞれ挿入された抵抗素子を有することを特徴とする請求項6記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルアナログ変換回路およびこれを搭載した液晶表示装置（LCD；Liquid Crystal Display）に関し、特に基準電圧選択型のデジタルアナログ変換回路およびこのデジタルアナログ変換回路を含む駆動回路が各画素のスイッチング素子としてポリシリコンTFT（thin film transistor；薄膜トランジスタ）がマトリクス状に配列された基板上に一体形成してなるいわゆる駆動回路一体型液晶表示装置に関する。

【0002】

【従来の技術】デジタルインターフェース駆動回路を、TFTで画素部と同一の基板上に一体形成してなる駆動回路一体型液晶表示装置の従来例を図34に示す。同図において、画素がマトリクス状に配列されてなる有効画素領域701に対して、その上下に第1、第2の水平駆動系702、703が配され、また例えば図の左側に垂直駆動系704が配され、TFTで有効画素領域701と共に同一基板（以下、LCDパネルと称す）上に一体形成された構成となっている。

【0003】第1の水平駆動系702は、水平シフトレジスタ721、サンプリング&第1ラッチ回路722、第2ラッチ回路723およびDA（デジタルアナログ）変換回路724によって構成されている。第2の水平駆動系703も第1の水平駆動系702と同様に、水平シ

フトレジスタ731、サンプリング&第1ラッチ回路732、第2ラッチ回路733およびDA変換回路734によって構成されている。垂直駆動系74は、垂直シフトレジスタ741によって構成されている。

【0004】

【発明が解決しようとする課題】ここで、上記構成の駆動回路一体型液晶表示装置を作成したときに大きな問題となるのが、LCDパネル上に駆動回路を一体形成する領域面積、即ち有効画素領域701の周辺部の領域（以下、これを額縁と称す）の大きさである。特に、DA変換回路724、734の回路面積は、LCDパネルの額縁の大きさを決める際の重要なポイントとなる。駆動回路一体型液晶表示装置のDA変換回路としては、基準電圧選択型が広く用いられる。その理由は、出力電位のばらつきが小さいためである。

【0005】図35に、基準電圧選択型DA変換回路の回路構成の一例を示す。この回路例では、3ビット8階調のDA変換回路構成の場合を示している。このDA変換回路は、図35から明らかなように、選択スイッチ705、ラッチ回路706およびデコード回路707からなる階調選択ユニット708-0〜708-7を、各階調（基準電圧 V_{ref0} 〜 V_{ref7} ）ごとに設けた構成となっている。

【0006】しかしながら、かかる構成の基準電圧選択型DA変換回路では、各階調ごとにラッチ回路706およびデコード回路707が設けられていることから、図35の回路構成から明らかなように、回路を構成する素子数が非常に多くなるため、多階調のDA変換回路をTFTで一体形成しようとする、非常に大きな回路面積が必要となり、結果として、液晶表示装置に搭載する際に、LCDパネルの額縁が大きくなり、デバイス全体の小型化の妨げとなるという課題がある。

【0007】一方、回路面積の縮小化を図るために、基準電圧選択型DA変換回路にスイッチド・キャパシタを組み合わせた回路構成を採ることも考えられる。しかし、この回路構成の場合には、バッファ回路を必要とするために、バッファ回路で消費する分だけシステム全体の消費電力の増大を招くという課題がある。

【0008】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、回路を構成する素子数が少なく済み、しかも消費電力を増やすことなく、LCDパネルの額縁の狭幅化に寄与できるDA変換回路およびこれを搭載した液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】本発明によるDA変換回路は、 n ビット（ n は2以上の整数）のデータ信号の各ビットの論理に対応した極性の n 個のアナログスイッチが互いに直列に接続されてなり、かつ2°本の基準電圧線の各々と出力線との間にそれぞれ接続された2°個の

階調選択ユニットを有する構成となっている。そして、この基準電圧選択型DA変換回路は、駆動回路一体型液晶表示装置に、その駆動回路の一部を構成するDA変換回路として搭載される。

【0010】上記構成のDA変換回路およびこれを搭載した液晶表示装置において、データ信号の各ビットの論理に対応した極性の n 個のアナログスイッチが互いに直列に接続された構成の階調選択ユニットが、基準電圧線と画素部のコラム線との間に接続されることで、データ信号をデコードするデコード回路と、そのデコード出力に基づいて対応する基準電圧を選択する選択スイッチとを同一トランジスタで形成可能となる。したがって、その分だけ回路を構成する素子数が少なくて済むことになる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る駆動回路一体型液晶表示装置のシステム構成を示すブロック図である。図1において、画素がマトリクス状に配列されてなる有効画素領域11に対して、その上下に第1、第2の水平駆動系12、13が配され、また例えば図の左側に垂直駆動系14が配されている。

【0012】なお、水平駆動系については、必ずしも有効画素領域11の上下に配置する必要はなく、上下の一方側だけの配置であっても良い。また、垂直駆動系については、図の右側の配置であっても、また左右両側の配置であっても良い。そして、第1、第2の水平駆動系12、13および垂直駆動系14は、TFT（薄膜トランジスタ）で有効画素領域11と同一の基板（第1の基板）上に一体形成されている。この基板に対して、第2の基板（図示せず）が所定の間隔をもって対向配置されている。そして、両基板間には液晶層が保持されている。

【0013】第1の水平駆動系12は、水平シフトレジスタ121、サンプリング&第1ラッチ回路122、第2ラッチ回路123、レベルシフタ124およびDA変換回路（DAC）125によって構成されている。第2の水平駆動系13も第1の水平駆動系12と同様に、水平シフトレジスタ131、サンプリング&第1ラッチ回路132、第2ラッチ回路133、レベルシフタ134およびDA変換回路135によって構成されている。垂直駆動系14は、垂直シフトレジスタ141によって構成されている。

【0014】図2に、有効画素領域11における各画素20の構成の一例を示す。画素20は、スイッチング素子であるTFT21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された補助容量23とから構成されている。この画素構造において、各画素2

0のTFT21は、そのゲート電極が垂直選択線であるロー（行）線 $\dots, 24m-1, 24m, 24m+1, \dots$ に接続され、そのソース電極が信号線であるコラム（列）線 $\dots, 25n-1, 25n, 25n+1, \dots$ に接続されている。

【0015】また、液晶セル22の対向電極は、共通電圧VCOMが与えられる共通線26に接続されている。ここで、液晶セル22の駆動法として、例えば、共通電圧VCOMを1H（1水平期間）ごとに反転するいわゆる共通反転駆動法が採られる。この共通反転駆動法を用いることにより、共通電圧VCOMの極性が1Hごとに反転することから、第1、第2の水平駆動系12、13の低電圧化が図れ、デバイス全体の消費電力を低減できることになる。

【0016】次に、第1、第2の水平駆動系12、13の各部の動作について説明する。なお、以下の説明では、第1の水平駆動系12を例に採って説明するが、第2の水平駆動系13についても全く同様のことが言える。

【0017】第1の水平駆動系12において、水平シフトレジスタ121には、水平転送パルス1、即ち水平スタートパルスHST1および水平クロックパルスHCK1が与えられる。すると、水平シフトレジスタ121は、水平スタートパルスHST1に回答して水平クロックパルスHCK1の周期で水平走査を行う。サンプリング&第1ラッチ回路122は、水平シフトレジスタ121の水平走査に同期してデジタルデータを順次サンプリングし、さらにサンプリングしたデータをコラム線 $\dots, 25n-1, 25n, 25n+1, \dots$ ごとにラッチする。

【0018】第2ラッチ回路123は、サンプリング&第1ラッチ回路122でラッチされたコラム線に対応するラッチデータを、1H周期で与えられるラッチ信号に回答して1Hごとに再ラッチする。レベルシフタ124は、第2ラッチ回路123で再ラッチされたラッチデータについて、その信号レベル（振幅）を所定のレベルにレベルシフトしてDA変換回路125に供給する。なお、このレベルシフタ124においてシフトするレベルについては後述する。

【0019】一方、垂直駆動系14において、垂直シフトレジスタ141には、垂直転送パルス、即ち垂直スタートパルスVSTおよび垂直クロックパルスVCKが与えられる。すると、垂直シフトレジスタ141は、垂直スタートパルスVSTに回答して垂直クロックパルスVCKの周期で垂直走査を行うことで、有効画素領域11に対して行単位で順次行選択信号を与える。

【0020】なお、第1、第2の水平駆動系12、13のDA変換回路125、135としては、レベルシフタ124、134でレベルシフトされたデータを受けて階調数分の基準電圧から目的の基準電圧を選択して対応す

るコラム線へ出力する基準電圧選択型DA変換回路が用いられる。この基準電圧選択型DA変換回路125、135の具体的な回路構成が、本発明の特徴とする部分である。

【0021】図3に、基準電圧選択型DA変換回路の基本構成を示す。なお、ここでは、3ビット（b2、b1、b0）のデジタルデータに対して、8（ $=2^3$ ）階調の基準電圧Vref0～Vref7が用意されている回路構成の場合を例に採って説明するものとする。また、図3では、あるコラム線25nに対応したDA変換回路の回路構成を示しているが、当該DA変換回路は各コラム線ごとに設けられるものである。

【0022】図3において、8階調の基準電圧Vref0～Vref7に対して、8個の階調選択ユニット30～37が設けられている。これらの階調選択ユニット30～37は、デジタルデータの各ビット（b2、b1、b0）の論理に対応した極性（正極性／負極性）の3個のアナログスイッチが互いに直列に接続された構成となっている。すなわち、

【0023】階調選択ユニット30は、Vref0の基準電圧線38-0とコラム線25nとの間に接続され、データ“000”に対して3個の負極性のアナログスイッチ301、302、303が互いに直列に接続された構成となっている。階調選択ユニット31は、Vref1の基準電圧線38-1とコラム線25nとの間に接続され、データ“001”に対して2個の負極性のアナログスイッチ311、312と1個の正極性のアナログスイッチ313が互いに直列に接続された構成となっている。

【0024】階調選択ユニット32は、Vref2の基準電圧線38-2とコラム線25nとの間に接続され、データ“010”に対して負極性のアナログスイッチ321、正極性のアナログスイッチ322および負極性のアナログスイッチ323が互いに直列に接続された構成となっている。階調選択ユニット33は、Vref3の基準電圧線38-3とコラム線25nとの間に接続され、データ“011”に対して1個の負極性のアナログスイッチ331と2個の正極性のアナログスイッチ332、333が互いに直列に接続された構成となっている。

【0025】階調選択ユニット34は、Vref4の基準電圧線38-4とコラム線25nとの間に接続され、データ“100”に対して1個の正極性のアナログスイッチ341と2個の負極性のアナログスイッチ342、343が互いに直列に接続された構成となっている。階調選択ユニット35は、Vref5の基準電圧線38-5とコラム線25nとの間に接続され、データ“101”に対して正極性のアナログスイッチ351、負極性のアナログスイッチ352および正極性のアナログスイッチ353が互いに直列に接続された構成となっている。

【0026】階調選択ユニット36は、Vref6の基

7

準電圧線38-6とコラム線25nとの間に接続され、データ“110”に対して2個の正極性のアナログスイッチ361、362と1個の負極性のアナログスイッチ363が互いに直列に接続された構成となっている。階調選択ユニット37は、Vref7の基準電圧線38-7とコラム線25nとの間に接続され、データ“111”に対して3個の正極性のアナログスイッチ371、372、373が互いに直列に接続された構成となっている。

【0027】図4は、図3に示した基本構成の基準電圧選択型DA変換回路125を実現する具体的な回路構成の一例を示す回路図であり、図3と同等部分には同一符号を付して示してある。8階調分の階調選択ユニット30～37の各3個のアナログスイッチとして、デジタルデータの各ビット(b2、b1、b0)の論理に対応した導電型(Nチャネル/Pチャネル)のMOSトランジスタを用いた構成となっている。

【0028】図4において、階調選択ユニット30は、データ“000”に対応した共にPチャネルのMOS(以下、PMOSと記す)トランジスタQp301、Qp302、Qp303をアナログスイッチ301、302、303として用い、これらをシリーズに配置して作成された構成となっている。階調選択ユニット31は、データ“001”に対応したPMOSトランジスタQp311、Qp312およびNチャネルのMOS(以下、NMOSと記す)トランジスタQn313をアナログスイッチ311、312、313として用い、これらをシリーズに配置して作成された構成となっている。

【0029】階調選択ユニット32は、データ“010”に対応したPMOSトランジスタQp321、NMOSトランジスタQn322およびPMOSトランジスタQp323をアナログスイッチ321、322、323として用い、これらをシリーズに配置して作成された構成となっている。階調選択ユニット33は、データ“011”に対応したPMOSトランジスタQp331およびNMOSトランジスタQn332、Qn333をアナログスイッチ331、332、333として用い、これらをシリーズに配置して作成された構成となっている。

【0030】階調選択ユニット34は、データ“100”に対応したNMOSトランジスタQn341およびPMOSトランジスタQp342、Qp343をアナログスイッチ341、342、343として用い、これらをシリーズに配置して作成された構成となっている。階調選択ユニット35は、データ“101”に対応したNMOSトランジスタQn351、PMOSトランジスタQp352およびNMOSトランジスタQn353をアナログスイッチ351、352、353として用い、これらをシリーズに配置して作成された構成となっている。

8

【0031】階調選択ユニット36は、データ“110”に対応したNMOSトランジスタQn361、Qn362およびPMOSトランジスタQp363をアナログスイッチ361、362、363として用い、これらをシリーズに配置して作成された構成となっている。階調選択ユニット37は、データ“111”に対応した共にNMOSトランジスタQn371、Qn372、Qn373をアナログスイッチ371、372、373として用い、これらをシリーズに配置して作成された構成となっている。

【0032】上記構成の基準電圧選択型DA変換回路125では、nビット(n≥2)のデジタルデータの各ビットの論理に対応した極性のn個のアナログスイッチの各々を、1個のPMOSトランジスタまたは1個のNMOSトランジスタを用いて作成し、PMOSトランジスタおよびNMOSトランジスタの組み合わせで、目的の階調に対応する2ⁿ個の階調選択ユニットを構成しているので、小面積で多階調のDA変換回路を実現でき、結果として、非常に狭幅な額縁のLCDパネルを実現できる。これは、以下の理由による。

【0033】①図35に示す従来回路における選択スイッチ705とデコード回路707が、同一のトランジスタで形成されることから、回路を構成する素子数が非常に少なく済むためである。

②TFT回路には素子分離のためのウェルが存在しなく、スイッチとなるPMOSトランジスタとNMOSトランジスタとを近接して連続形成できることから、回路の占有面積が非常に小さくて済むためである。

【0034】上記理由②について、単結晶シリコン・トランジスタの構造と比較してさらに詳述する。ここでは、1個のNMOSトランジスタと1個のPMOSトランジスタとをシリーズに配置して形成する場合を例に採って考えるものとする。

【0035】まず、単結晶シリコン・トランジスタの構造を考えると、図5に示すように、P形シリコン基板41の基板表面側に、一定の間隔をもってN⁺拡散領域42、43が形成され、これらN⁺拡散領域42、43間のチャネルの上方にゲート絶縁膜44を介してゲート電極45が配されることで、NMOSトランジスタが形成される。ここで、N⁺拡散領域42がドレイン/ソース領域となり、N⁺拡散領域43がソース/ドレイン領域となる。

【0036】一方、NMOSトランジスタに隣接してPMOSトランジスタを形成するために、N形不純物の導入による素子分離用のNウェル46が形成される。そして、このNウェル46内の基板表面側に、一定の間隔をもってP⁺拡散領域47、48が形成され、これらP⁺拡散領域47、48間のチャネルの上方にゲート絶縁膜44を介してゲート電極49が配されることで、PMOSトランジスタが形成される。ここで、P⁺拡散領域4

7がソース／ドレイン領域となり、P⁺ 拡散領域48がドレイン／ソース領域となる。

【0037】そして、両トランジスタをシリーズに配置するために、NMOSTランジスタのソース／ドレイン領域となるN⁺ 拡散領域43とPMOSTランジスタのソース／ドレイン領域となるP⁺ 拡散領域47とが、層間絶縁膜49を通してアルミニウム(A1)配線50によって接続される。また、NMOSTランジスタのドレイン／ソース領域となるN⁺ 拡散領域42にはA1電極51が接続され、PMOSTランジスタのドレイン／ソ

ース領域となるP⁺ 拡散領域48にはA1電極52が接続される。

【0038】続いて、例えばボトムゲート型のポリシリコン(多結晶シリコン)・TFTの構造を考えると、図6に示すように、ガラス基板53上に一定の距離をおいてゲート電極54、55が形成され、その上にゲート絶縁膜56を介してポリシリコン層57が形成される。

【0039】そして、ゲート電極54、55の側方のシリコン酸化膜56上に、NMOSTランジスタのドレイン／ソース領域となる拡散層58、NMOS、PMOSTランジスタの双方のソース／ドレイン領域となる拡散層59およびPMOSTランジスタのドレイン／ソース領域となる拡散層60が形成される。拡散層58、60には、層間絶縁膜61を通してA1電極62、63がそれぞれ接続される。

【0040】図5のトランジスタ構造と図6のトランジスタ構造との対比から明らかなように、ポリシリコン・TFTの場合には、単結晶シリコン・トランジスタの場合のような素子分離のためのウェル(46)が存在しないため、NMOSTランジスタとPMOSTランジスタとを近接して連続形成が可能となり、結果として、回路の占有面積が非常に小さくて済むのである。

【0041】ところで、コモン(VCOM)反転駆動を用いた液晶表示装置において、例えば0V~5Vのレベル範囲の基準電圧を選択するDA変換回路では、上述したように、アナログスイッチとしてMOSTランジスタを用いた場合に、選択される基準電圧のダイナミックレンジを確保するためには、PMOSTランジスタの閾値を V_{thp} 、NMOSTランジスタの閾値を V_{thn} とすると、選択データ信号の低レベル側は0V- V_{thp} 以下でなければならない、高レベル側は5V+ V_{thn} 以上でなければならない。

【0042】このように、選択データ信号の振幅を、基準電圧のレベル範囲に対してPMOSTランジスタの閾値 V_{thp} だけ低く、かつNMOSTランジスタの閾値 V_{thn} だけ高いレベル範囲(上記の例では、0V- V_{thp} ~5V+ V_{thn})以上に設定する必要があることから、図1のシステム構成において、本実施形態では、DA変換回路125、135の前段にレベルシフタ(レベルシフト回路)124、134を配置し、これら

レベルシフタ124、134でのレベルシフトによって選択データ信号の上記振幅を達成する構成を採っている。

【0043】この構成によれば、サンプリング&第1ラッチ回路122、132の電源電圧を高く設定することなく、小面積の基準電圧選択型DA変換回路を実現できることになる。ただし、元々の選択データ信号の振幅が上記の条件を満足するものである場合には、レベルシフタ124、134を設けなくても、選択される基準電圧のダイナミックレンジを確保することができることは明らかである。

【0044】ここで、レベルシフタ124、134として用いるレベルシフト回路の具体的な回路構成について説明する。

【0045】図7は、レベルシフト回路の第1実施例を示す回路図である。この第1実施例に係るレベルシフト回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn11およびPMOSTランジスタQp11からなるCMOSインバータ71と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn12およびPMOSTランジスタQp12からなるCMOSインバータ72とが、電源VDDとグランドとの間に互いに並列に接続されてなるCMOSラッチセル70を基本構成としている。

【0046】このCMOSラッチセル70において、CMOSインバータ71の入力端(即ち、MOSTランジスタQn11、Qp11のゲート共通接続点)と、CMOSインバータ72の出力端(即ち、MOSTランジスタQn12、Qp12のドレイン共通接続点)とが接続され、さらにCMOSインバータ72の入力端(即ち、MOSTランジスタQn12、Qp12のゲート共通接続点)とCMOSインバータ71の出力端(即ち、MOSTランジスタQn11、Qp11のドレイン共通接続点)とが接続されている。

【0047】また、CMOSインバータ71の入力端と第1回路入力端子73との間に抵抗素子R11が、CMOSインバータ72の入力端と第2回路入力端子74との間に抵抗素子R12がそれぞれ接続されている。さらに、CMOSインバータ71の入力端と電源VDDとの間に抵抗素子R13が、CMOSインバータ72の入力端と電源VDDとの間に抵抗素子R14がそれぞれ接続されている。また、抵抗素子R12、R14の共通接続点であるノード②と第1回路出力端子75との間にインバータ77が、抵抗素子R11、R12の共通接続点であるノード①と第2回路出力端子76との間にインバータ78がそれぞれ接続されている。

【0048】上記構成の第1実施例に係るレベルシフト回路において、第1回路入力端子73には例えば3V程度の振幅Vpの信号in1が入力され、第2回路入力端

子74には入力信号in1の反転の信号in2が入力されるものとする。

【0049】ここで、例えば、入力信号in1が論理“1”(=Vp)、入力信号in2が論理“0”(=0V)の場合の回路動作を例にとって図8のタイミングを用いて説明すると、CMOSラッチセル70において、NMOSTランジスタQn11がオン状態となるため、電源VDD→抵抗素子R14→ノード②→NMOSTランジスタQn11→グラウンドの経路で電流が流れ、同時にPMOSTランジスタQp12がオン状態となるため、電源VDD→PMOSTランジスタQp12→ノード①→抵抗素子R11→第2回路入力端子73の経路で電流が流れる。

【0050】このとき、抵抗素子R11、R14で電圧降下が生じ、その電圧降下分だけノード①、②の電位が上昇する。すなわち、ノード①、②の電位は、DCシフトする。ここで、ノード①の方がノード②よりもシフト量が大きいので、ノード①、②では入力信号in1、in2の振幅差よりも大きな振幅差が得られることになる。

【0051】また、抵抗素子R13、R14は、ノード①、②をバイアスすることにより、CMOSインバータ71、72の動作点をより明確にする作用をなす。そして、ノード②の電位はインバータ77で反転されて第1回路出力端子75からVDDの振幅の出力信号outとして導出され、ノード①の電位はインバータ78で反転されて第2回路出力端子76から出力信号outの反転信号xoutとして導出される。

【0052】上述した回路動作によって、振幅Vpが例えば3Vの入力信号in1、in2が、電源電圧VDDの振幅の出力信号out、xoutにレベルシフトされて導出されることになる。また、入力信号in1が論理“0”、入力信号in2が論理“0”のときには、上述した動作と全く逆の動作によってレベルシフト動作が行われることになる。

【0053】このように、CMOSラッチセル70の2つの入力部、即ちCMOSインバータ71、72の各入力端と2つの入力信号源、即ち入力信号in1、in2が入力される2つの回路入力端子73、74との間に抵抗素子R11、R12を接続し、入力信号in1、in2をDCシフトしてCMOSラッチセル70の2つの入力部に与えるようにしたことにより、CMOSラッチセル70を構成する各トランジスタをオンさせるのに十分な電圧を得ることができるため、閾値Vthが大きいデバイス、例えばTFTを用いた回路であっても、安定したレベルシフト動作を高速にて実現できる。

【0054】しかも、CMOSラッチセル70の基本回路に対して抵抗素子を付加するのみで良いため小面積で実現できるとともに、電源電圧VDDを下げてレベルシフト動作を確実に行うことができるため低消費電力化

を図ることができる。さらには、CMOSラッチセル70の2つの入力部と電源VDDとの間にも抵抗素子R13、R14を接続し、ノード①、②をバイアスするようにしたことにより、CMOSインバータ71、72の動作点をより明確にすることができるので、より安定したレベルシフト動作を実現できる。

【0055】なお、第1実施例に係るレベルシフト回路では、入力信号in2として、入力信号in1の反転信号を入力とするとしたが、入力信号in1の論理を判別することができるれば良い訳であるから、必ずしも反転信号である必要はなく、0Vから電源電圧VDDまでの範囲内の任意の直流電圧を、その判別の基準電圧Vrefとして用いるようにすることも可能である。図9に、入力信号in2として基準電圧Vref(0≤Vref≤VDD)を入力した場合のタイミングチャートを示す。

【0056】また、図7の回路例では、非反転と反転の2つの出力信号out、xoutを導出する構成となっているが、いずれか一方の出力信号のみを導出する構成であっても良い。この場合には、2つのインバータ77、78のうち的一方が不要になる。

【0057】図10は、第1実施例に係るレベルシフト回路の変形例を示す回路図であり、図中、図7と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図7の抵抗素子R11、R12として、各ゲートが電源VDDに接続されたNMOSTランジスタQn13、Qn14を用い、抵抗素子R13、R14として、各ゲートがグラウンドに接続されたPMOSTランジスタQp13、Qp14を用いた構成となっている。

【0058】このように、抵抗素子R11～R14をトランジスタで実現した場合にも、その回路の動作は図7の回路の場合と同じである。また、タイミング例についても図8および図9と同じである。なお、本変形例では、抵抗素子R11、R12をNMOSで、抵抗素子R13、R14をPMOSで実現しているが、これら抵抗素子と等価な形になるようにトランジスタを配置すれば、各トランジスタの極性はどちらでも構わない。

【0059】図11は、第1実施例に係るレベルシフト回路の他の変形例を示す回路図であり、図中、図10と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図10の回路において、NMOSTランジスタQn13、Qn14およびPMOSTランジスタQp13、Qp14を、コントロール信号CNTLによってスイッチングする構成となっている。すなわち、図示せぬ制御回路から制御端子79に入力されるアクティブ“H”のコントロール信号CNTLが、NMOSTランジスタQn13、Qn14の各ゲートに印加されるとともに、インバータ79で反転されてPMOSTランジスタQp13、Qp14の各ゲートに印加されるようになっている。

【0060】このように、CMOSラッチセル70の各トランジスタQn13, Qn14, Qp13, Qp14を、コントロール信号CNTLによってスイッチングする構成をとることで、本レベルシフト回路をレベルシフトの必要なときのみアクティブにし、レベルシフトの必要のないときにはデータ、即ち入力信号in1, in2の論理状態を保持する、いわゆるラッチ兼用型のレベルシフト回路を実現できることになる。

【0061】なお、本例では、抵抗素子R11~R14をトランジスタで実現した場合において、これらトランジスタをスイッチング制御するとしたが、抵抗素子R11~R14として有限の抵抗値を持つスイッチを用い、これらスイッチをスイッチング制御するようにしても、同様の作用効果を得ることができる。

【0062】図12は、第1実施例に係るレベルシフト回路のさらに他の変形例を示す回路図であり、図中、図11と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図11の回路にさらにCMOSラッチセル70の初期値を決めるためのリセット回路81を付加した構成となっている。このリセット回路81は、電源VDDとノード②との間に接続されたPMOSTランジスタQp15によって構成され、このPMOSTランジスタQp15のゲートがリセット端子82に接続されている。

【0063】そして、リセット端子82には、リセット信号Resetが与えられるようになっている。ここで、リセット信号Resetとしては、図13のタイミングチャートに示すように、電源電圧VDDよりも遅れたタイミングで立ち上がる信号を用いるようにする。このリセット信号Resetは、例えば図14に示すように、電源電圧VDDをRC積分回路83で積分することによって簡単に生成することが可能である。

【0064】このように、図11の回路にさらにリセット回路81を付加し、このリセット回路81に対して電源電圧VDDよりも遅れたタイミングで立ち上がるリセット信号Resetを与えるようにすることにより、電源立ち上げ時のCMOSラッチセル70内の初期値を決定することができる。このリセット動作により、本例の場合は、図13のタイミングチャートから明らかなように、電源立ち上げ時の初期状態でノード②の電位が“H”レベルとなり、出力信号outが“L”レベルとなる。

【0065】図15は、レベルシフト回路の第2実施例を示す回路図である。この第2実施例に係るレベルシフト回路は、各々のゲートおよびドレインが共通に接続されたNMOSTランジスタQn21およびPMOSTランジスタQp21からなるCMOSインバータ85と、各々のゲートおよびドレインが共通に接続されたNMOSTランジスタQn22およびPMOSTランジスタQp22からなるCMOSインバータ86とが、電源VD

Dとグランドとの間に互いに並列に接続されてなるCMOSラッチセル84を基本回路とした構成となっている。

【0066】このCMOSラッチセル84において、CMOSインバータ85の入力端（即ち、MOSTランジスタQn21, Qp21のゲート共通接続点）と、CMOSインバータ86の出力端（即ち、MOSTランジスタQn22, Qp22のドレイン共通接続点）とが接続され、さらにCMOSインバータ86の入力端（即ち、MOSTランジスタQn22, Qp22のゲート共通接続点）とCMOSインバータ85の出力端（即ち、MOSTランジスタQn21, Qp21のドレイン共通接続点）とが接続されている。

【0067】また、CMOSインバータ85の入力端と第1回路入力端子87との間に抵抗素子R21が、CMOSインバータ86の入力端と第2回路入力端子88との間に抵抗素子R22がそれぞれ接続されている。CMOSインバータ86の入力端と第1回路出力端子89との間にインバータ91が、CMOSインバータ85の入力端と第2回路出力端子90との間にインバータ92がそれぞれ接続されている。

【0068】上記構成の第2実施例に係るレベルシフト回路において、第1回路入力端子87には例えば3V程度の振幅Vpの信号in1が入力され、第2回路入力端子88には入力信号in1の反転の信号in2が入力されるものとする。

【0069】ここで、例えば、入力信号in1が論理“1”、入力信号in2が論理“0”の場合の回路動作を例にとると、CMOSラッチセル84において、NMOSTランジスタQn21がオン状態となるため、電源VDD→PMOSTランジスタQp21→NMOSTランジスタQn21→グランドの経路で電流が流れ、同時にPMOSTランジスタQp22がオン状態となるため、電源VDD→PMOSTランジスタQp22→抵抗素子R21→第2回路入力端子87の経路で電流が流れる。

【0070】このとき、抵抗素子R21で電圧降下が生じ、その電圧降下分だけCMOSインバータ85の入力端の電位が上昇する。すなわち、CMOSインバータ85の入力電位は、大きくDCシフトする。一方、CMOSインバータ86の入力電位は、PMOSTランジスタQp21から流れ出る電流が少ないため、ほとんどDCシフトしない。

【0071】これにより、CMOSインバータ85, 86の各入力端では入力信号in1, in2の振幅差よりも大きな振幅差が得られることになる。そして、CMOSインバータ86の入力端の電位はインバータ91で反転されて第1回路出力端子89からVDDの振幅の出力信号outとして導出され、CMOSインバータ85の入力端の電位はインバータ92で反転されて第2回路出

力端子90から出力信号outの反転信号xoutとして導出される。

【0072】上述した回路動作により、第1実施例に係るレベルシフトレジスタ回路の回路動作の場合と同様に、振幅Vpが例えば3Vの入力信号in1, in2が電源電圧VDDの振幅の出力信号out, xoutにレベルシフトされて導出されることになる。また、入力信号in1が論理“0”、入力信号in2が論理“0”のときには、上述した動作と全く逆の動作によってレベルシフトが行われることになる。

【0073】なお、第2実施例に係るレベルシフト回路の場合にも、入力信号in2の代わりに、0Vから電源電圧VDDまでの範囲内の任意の直流電圧を、その判別の基準電圧Vrefとして用いることが可能であり、また非反転と反転の2つの出力信号out, xoutのうちのいずれか一方のみを導出する構成とすることが可能である。

【0074】図16は、第2実施例に係るレベルシフト回路の変形例を示す回路図であり、図中、図15と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図15の抵抗素子R21, R22として、各ゲートが電源VDDに接続されたNMOSトランジスタQn23, Qn24を用いた構成となっている。このように、抵抗素子R21, R22をトランジスタで実現した場合にも、その回路の動作は図15の回路の場合と同じである。また、この図16の回路についても、図11や図12の変形例と同様の変形が可能である。

【0075】次に、水平シフトレジスタ121, 131の具体的な構成について説明する。図17は、水平シフトレジスタ121, 131の構成の一例を示すブロック図である。

【0076】ここでは、簡単のために、転送段が3段のシフトレジスタの例を示している。すなわち、3個のD-FF（フリップフロップ）93-1, 93-2, 93-3が縦続接続されている。そして、初段のD-FF93-1のD（データ）入力側にレベルシフト回路94が設けられ、また各段のD-FF93-1, 93-2, 93-3の各CK（クロック）入力側にそれぞれレベルシフト回路95-1, 95-2, 95-3が設けられている。

【0077】レベルシフト回路94は、例えば3V程度の振幅の互いに逆相のスタート信号ST, XSTを電源電圧VDDの振幅の信号にレベルシフトし、これを初段のD-FF93-1のD入力として与えるためのものである。レベルシフト回路95-1, 95-2, 95-3は、例えば3V程度の振幅の互いに逆相のクロック信号CK, XCKを電源電圧VDDの振幅の信号にレベルシフトし、これを各段のD-FF93-1, 93-2, 93-3の各CK入力として与えるためのものである。

【0078】上記構成の水平シフトレジスタ121, 1

31において、レベルシフト回路94, 95-1, 95-2, 95-3として、例えば、図11に示した構成のレベルシフト回路を用いている。そして、レベルシフト回路94には、スタート信号ST, XSTが入力信号in1, in2として入力され、電源電圧VDDがコントロール信号CNTLとして入力される。すなわち、レベルシフト回路94は、コントロール信号CNTLが電源電圧VDDであることにより、当該回路は常時アクティブの状態にあるため、レベルシフトとしてのみ機能することになる。

【0079】一方、レベルシフト回路95-1, 95-2, 95-3には、クロック信号CK, XCKが入力信号in1, in2として入力され、自段のシフトパルス（Q出力）と前段のシフトパルス（自段のD入力）を2入力とするORゲート96-1, 96-2, 96-3の各出力がコントロール信号CNTLとして入力される。すなわち、レベルシフト回路95-1, 95-2, 95-3は、自段のD-FF93-1, 93-2, 93-3がシフト動作を行うときのみ、即ち低電圧振幅のクロック信号CK, XCKを転送に必要なときのみレベルシフトを行い、それ以外のときにはクロック信号CK, XCKをラッチして転送させないようにするラッチ兼用型として機能することになる。

【0080】このように、水平シフトレジスタ121, 131において、レベルシフト回路94, 95-1, 95-2, 95-3として、図11に示した構成のレベルシフト回路を用いることにより、当該レベルシフト回路は低電圧振幅のスタート信号ST, XSTやクロック信号CK, XCKに対して安定したレベルシフト動作を高速にて実現できるため、D-FF93-1, 93-2, 93-3を閾値Vthが大きいデバイス、例えばTFTを用いて構成した場合であっても、安定した高速転送動作を実現できることになる。

【0081】なお、本例では、レベルシフト回路94, 95-1, 95-2, 95-3として、図11に示した構成のレベルシフト回路を用いるとしたが、これに限られるものではなく、図7、図10、図12、図15または図16に示した構成のレベルシフト回路を用いることも可能であり、上記の場合と同様の作用効果を得ることができる。

【0082】上述したように、駆動回路一体型液晶表示装置において、水平駆動系12, 13の水平シフトレジスタ121, 131として上記構成のシフトレジスタ、即ち小面積で実現でき、低消費電力のシフトレジスタを用いることにより、水平シフトレジスタ121, 131を含む水平駆動系12, 13や垂直駆動系14などの駆動回路を、有効画素領域11と同一基板上に作成する際に、当該駆動回路を配する有効画素領域11の周辺領域（額縁）を狭くできるとともに、低消費電力の駆動回路一体型液晶表示装置を実現できる。

【0083】しかも、上記構成のシフトレジスタの場合には、先述したことから明かなように、閾値 V_{th} が大きいデバイス、例えばTFTを用いた回路であっても、安定した高速転送動作を実現できるという利点もある。

【0084】次に、第1、第2の水平駆動系12、13のサンプリング&第1ラッチ回路122、132として用いるサンプリングラッチ回路の具体的な構成について説明する。

【0085】図18は、サンプリングラッチ回路の第1実施例を示す回路図である。この第1実施例に係るサンプリングラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタ Q_{n31} およびPMOSTランジスタ Q_{p31} からなるCMOSインバータ101と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタ Q_{n32} およびPMOSTランジスタ Q_{p32} からなるCMOSインバータ102とが、電源電圧 V_{DD} の電源ライン107とグランドとの間に互いに並列に接続されてなる比較器構成のCMOSラッチセル100を基本構成として

【0086】このCMOSラッチセル100において、CMOSインバータ101の入力端（即ち、MOSTランジスタ Q_{n31} 、 Q_{p31} のゲート共通接続点）と、CMOSインバータ102の出力端（即ち、MOSTランジスタ Q_{n32} 、 Q_{p32} のドレイン共通接続点）とが接続され、さらにCMOSインバータ102の入力端（即ち、MOSTランジスタ Q_{n32} 、 Q_{p32} のゲート共通接続点）とCMOSインバータ101の出力端（即ち、MOSTランジスタ Q_{n31} 、 Q_{p31} のドレイン共通接続点）とが接続されている。

【0087】また、CMOSインバータ101の入力端と第1回路入力端子103との間にスイッチ105が、CMOSインバータ102の入力端と第2回路入力端子104との間にスイッチ106がそれぞれ接続されている。さらに、CMOSラッチセル100の電源側、即ちノードAと電源ライン107との間にも、スイッチ108が接続されている。

【0088】スイッチ105、106はサンプリング端子109から入力されるサンプリングパルスSPによって直接スイッチング制御され、スイッチ108はインバータ110を経たサンプリングパルスSPの反転パルスによってスイッチング制御される。また、CMOSインバータ102の入力端であるノード②と第1回路出力端子111との間にインバータ113が、CMOSインバータ101の入力端であるノード①と第2回路出力端子112との間にインバータ114がそれぞれ接続されている。

【0089】上記構成の第1実施例に係るサンプリングラッチ回路において、第1回路入力端子103には例え

ば3V程度の振幅 V_p の信号 i_{n1} が入力され、第2回路入力端子104には0V以上 V_p 以下の電圧範囲内の任意の直流電圧（基準電圧 V_{ref} ）が信号 i_{n2} として入力されるものとする。

【0090】ここで、図19のタイミングチャートを用いて回路動作を説明するに、サンプリング端子109からアクティブ“H”のサンプリングパルスSPが入力されると、スイッチ105、106がオン（閉）状態となり、これにより入力信号 i_{n1} 、 i_{n2} は、CMOSラッチセル100のノード①、②に伝達される。このとき同時に、サンプリングパルスSPの反転パルスによってスイッチ108がオフ（開）状態となるため、CMOSラッチセル100の電源側（ノードA）が電源ライン107と切り離される。

【0091】次に、サンプリングパルスSPが消滅すると、CMOSラッチセル100のノード①、②が第1、第2回路入力端子103、104と分断され、同時にCMOSラッチセル100の電源側が電源ライン107に接続される。この瞬間のノード①、②の電圧に応じた比較処理がCMOSラッチセル100によって行われ、かつラッチ動作が始まる。最終的に、ノード①はサンプリングパルスSPの消滅した瞬間の入力信号 i_{n1} の極性にしがって電源電圧 V_{DD} もしくは0Vにラッチされることになる。このときノード②には、その逆極性の電圧がラッチされる。

【0092】以上の回路動作により、振幅 V_p が例えば3V程度の入力信号 i_{n1} のデータが、サンプリングパルスSPに同期してサンプリングされ、かつノード①に電源電圧 V_{DD} の振幅のデータとしてラッチされる。そして、ノード②のラッチデータは、インバータ113で反転されて第1回路出力端子111から出力信号 out として導出され、ノード①のラッチデータは、インバータ114で反転されて第2回路出力端子112から出力信号 out の反転信号 $xout$ として導出される。

【0093】上述したように、比較器構成のCMOSラッチセル100を基本構成とし、このCMOSラッチセル100の2つの入力部（ノード①、②）と、2つの入力信号源（第1、第2回路入力端子103、104）との間にそれぞれスイッチ105、106を接続するとともに、CMOSラッチセル100の電源側（ノードA）と電源ライン107との間にもスイッチ108を接続し、スイッチ105、106とスイッチ108とを相補的にスイッチング制御することにより、スイッチ105、106による入力信号 i_{n1} 、 i_{n2} のサンプリング期間にはCMOSラッチセル100に電流が流れず、しがって動作時に流れる直流電流は極めて僅かであるため、本サンプリングラッチ回路での消費電力を低減できる。

【0094】また、サンプリング期間が終了し、CMOSラッチセル100にスイッチ108を通して電源電圧

VDDが供給された瞬間には、振幅 V_p が例えば3V程度の入力信号 i_{n1} のデータが電源電圧VDDの振幅のデータとしてラッチされることになるため、TFTのような閾値 V_{th} の大きなデバイスを用いて構成した回路の場合であっても、安定したサンプリング&ラッチ動作を実現できる。しかも、CMOSラッチセル100の基本回路に対してスイッチ105、106、108等を付加するだけで構成できるため、非常に少ない素子数にて小面積でレベルシフト機能を持つサンプリングラッチ回路を実現できる。

【0095】なお、本実施例に係るサンプリングラッチ回路においては、入力信号 i_{n2} として、 $0 \leq V_{ref} \leq V_p$ の範囲の直流電圧（基準電圧） V_{ref} を入力するとしたが、入力信号 i_{n1} の論理を判別することができれば良い訳であるから、必ずしも直流電圧である必要はなく、図20のタイミングチャートに示すように、入力信号 i_{n1} の反転信号を、その判別の基準信号として用いるようにすることも可能である。この場合には、 $0 \leq V_{ref} \leq V_p$ の範囲の直流電圧を基準電圧とする場合よりも、入力信号 i_{n1} の論理判別のマージンを大きくとれる利点がある。

【0096】また、図18の回路例では、非反転と反転の2つの出力信号 out 、 $xout$ を導出する構成となっているが、いずれか一方の出力信号のみを導出する構成であっても良い。この場合には、2つのインバータ113、114のうち的一方が不要になる。

【0097】図21は、第1実施例に係るレベルシフト回路の変形例を示す回路図であり、図中、図18と同等部分には同一符号を付して示している。この変形例に係るレベルシフト回路では、図18の信号入力側のスイッチ105、106としてNMOSトランジスタ Q_{n3} 、 Q_{n34} を用いるとともに、電源側のスイッチ108としてPMOSトランジスタ Q_{p33} を用い、これらトランジスタの各ゲートに対してサンプリングパルスSPを直接印加する構成となっている。

【0098】このように、スイッチ105、106、108をトランジスタで実現した場合にも、その回路の動作は図18の回路の場合と同じである。また、タイミング例についても図19および図20と同じである。なお、本変形例では、スイッチ105、106をNMO 40 S、スイッチ108をPMOSで実現しているが、サンプリングパルスSPがアクティブ“L”の場合には、その極性は逆になることは明らかである。

【0099】図22は、サンプリングラッチ回路の第2実施例を示す回路図である。この第2実施例に係るサンプリングラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタ Q_{n41} およびPMOSトランジスタ Q_{p41} からなるCMOSインバータ151と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタ Q_{n4} 50

2およびPMOSトランジスタ Q_{p42} からなるCMOSインバータ152とが、電源ライン157とグラウンドとの間に互いに並列に接続されてなる比較器構成のCMOSラッチセル150を基本構成としている。

【0100】このCMOSラッチセル150において、CMOSインバータ151の入力端（即ち、MOSトランジスタ Q_{n41} 、 Q_{p41} のゲート共通接続点）と、CMOSインバータ152の出力端（即ち、MOSトランジスタ Q_{n42} 、 Q_{p42} のドレイン共通接続点）とが接続され、さらにCMOSインバータ152の入力端（即ち、MOSトランジスタ Q_{n42} 、 Q_{p42} のゲート共通接続点）とCMOSインバータ151の出力端（即ち、MOSトランジスタ Q_{n41} 、 Q_{p41} のドレイン共通接続点）とが接続されている。

【0101】また、CMOSインバータ151の入力端と第1回路入力端子153との間にスイッチ155が、CMOSインバータ152の入力端と第2回路入力端子154との間にスイッチ156がそれぞれ接続されている。さらに、CMOSラッチセル150の電源側、即ちノードAと電源ライン157との間にも、スイッチ158が接続されている。スイッチ155、156はサンプリング端子159から入力されるサンプリングパルスSPによって直接スイッチング制御され、スイッチ158はインバータ160を経たサンプリングパルスSPの反転パルスによってスイッチング制御される。

【0102】また、CMOSインバータ152の入力端であるノード②と第1回路出力端子161との間にインバータ163が、CMOSインバータ151の入力端であるノード①と第2回路出力端子162との間にインバータ164がそれぞれ接続されている。インバータ163は、各ゲートおよびドレインがそれぞれ共通に接続され、かつノードAとグラウンドとの間に接続されたP、NMOSトランジスタ Q_{p43} 、 Q_{n43} からなるCMOSインバータ構成となっている。インバータ154も同様に、各ゲートおよびドレインがそれぞれ共通に接続され、かつノードAとグラウンドとの間に接続されたP、NMOSトランジスタ Q_{p44} 、 Q_{n44} からなるCMOSインバータ構成となっている。

【0103】上記構成の第2実施例に係るサンプリングラッチ回路において、第1回路入力端子153には例えば3V程度の振幅 V_p の信号 i_{n1} が入力され、第2回路入力端子154には0V以上 V_p 以下の範囲内の任意の直流電圧が信号 i_{n2} として入力されるものとする。この第2実施例に係るサンプリングラッチ回路の回路動作については、第1実施例に係るサンプリングラッチ回路のそれと基本的に同じである。

【0104】すなわち、サンプリング端子159からアクティブ“H”のサンプリングパルスSPが入力されると、スイッチ155、156がオン（閉）状態となり、これにより入力信号 i_{n1} 、 i_{n2} は、CMOSラッチ

21

セル150のノード①、②に伝達される。このとき同時に、サンプリングパルスSPの反転パルスによってスイッチ158がオフ（開）状態となるため、CMOSラッチセル150の電源側が電源ライン157と切り離される。

【0105】次に、サンプリングパルスSPが消滅すると、CMOSラッチセル150のノード①、②が第1、第2回路入力端子153、154と分断され、同時にCMOSラッチセル150の電源側が電源ライン157に接続される。この瞬間のノード①、②の電圧に応じた比較処理がCMOSラッチセル150によって行われ、かつラッチ動作が始まる。最終的に、ノード①はサンプリングパルスSPの消滅した瞬間の入力信号in1の極性にしながら電源電圧VDDもしくは0Vにラッチされることになる。このときノード②には、その逆極性の電圧がラッチされる。

【0106】以上の回路動作により、振幅Vpが例えば3V程度の入力信号in1のデータが、サンプリングパルスSPに同期してサンプリングされ、かつノード①に電源電圧VDDの振幅のデータとしてラッチされる。そして、ノード②のラッチデータは、インバータ163で反転されて第1回路出力端子161から出力信号outとして導出され、ノード①のラッチデータは、インバータ164で反転されて第2回路出力端子162から出力信号outの反転信号xoutとして導出される。

【0107】この第2実施例に係るサンプリングラッチ回路の構成によれば、先述した第1実施例に係るサンプリングラッチ回路による作用効果に加えて、CMOSインバータ163、164に対する電源供給についてもCMOSラッチセル150と同様にスイッチング制御することにより、CMOSインバータ163、164に流れる不要な電流を削減できるため、本サンプリングラッチ回路での消費電力をさらに低減できる。

【0108】なお、第2実施例に係るサンプリングラッチ回路の場合にも、図21に示した第1実施例の変形例の場合のように、スイッチ155、156、158をトランジスタで実現可能であり、また入力信号in2として入力信号in1の反転信号を用いたり、非反転と反転の2つの出力信号out、xoutのうちのいずれか一方のみを導出する構成とすることも可能である。

【0109】上述したように、駆動回路一体型液晶表示装置において、第1、第2の水平駆動系12、13のサンプリング&第1ラッチ回路122、132として上記構成の第1、第2実施例に係るサンプリングラッチ回路、即ち小面積で実現でき、低消費電力のサンプリングラッチ回路を用いることにより、当該サンプリングラッチ回路を含む第1、第2の水平駆動系12、13や垂直駆動系14などの駆動回路を、有効画素領域11と同一基板上に作成する際に、当該駆動回路を配する有効画素領域11の額縁を狭くできるとともに、低消費電力の駆

22

動回路一体型液晶表示装置を実現できる。

【0110】しかも、上記構成のサンプリングラッチ回路の場合には、先述したことから明らかなように、閾値Vthが大きいデバイス、例えばTFTを用いた回路であっても、安定したサンプリング&ラッチ動作を実現できるという利点もある。

【0111】図23は、上記構成のサンプリングラッチ回路を用いて構成されるサンプリング&第1ラッチ回路の具体的な構成の一例を示すブロック図であり、例えば3ビットのデジタルデータb0、b1、b2を入力とする場合を示す。ここでは、第1の水平駆動系12側のサンプリング&第1ラッチ回路122を示すが、第2の水平駆動系13側のサンプリング&第1ラッチ回路132についても、その構成は全く同じである。

【0112】図23から明らかなように、デジタルデータb0、b1、b2の各ビットごとにサンプリングラッチ回路122-1、122-2、122-3が設けられている。これらサンプリングラッチ回路122-1、122-2、122-3には、入力信号in1としてデジタルデータb0、b1、b2の各ビットデータが入力され、入力信号in2として基準電圧（直流電圧）Vrefが各回路に共通に入力される。そして、水平シフトレジスタ121から出力されるサンプリングパルスSPにしたがって、低電圧振幅のデータ信号b0、b1、b2のサンプリングを行うようになっている。

【0113】このサンプリングラッチ回路122-1、122-2、122-3の各々においてサンプリングされた信号は、TFT回路に必要な高電圧振幅の信号にレベルシフトされかつラッチされる。そして、このラッチされた高電圧振幅の信号は、サンプリングラッチ回路122-1、122-2、122-3と同様にデジタルデータの各ビットごとに設けられた次段の第2ラッチ回路123-1、123-2、123-3により線順次処理され、図示せぬレベルシフト124（図1参照）を経た後、DAコンバータ125を通して有効画素領域11の対応するコラム線に出力される。

【0114】ここで、サンプリングラッチ回路122-1、122-2、122-3は非常に小面積の中に納め得ることが要求される。1つのサンプリングラッチユニットに割り当てられる水平方向の長さは、図1に示す駆動回路一体型液晶表示装置の構成では、ドットピッチ/ビット数となり、極めて短い。したがって、この条件を満足できるサンプリングラッチ回路122-1、122-2、122-3として、小面積で実現できる上記各実施例に係るサンプリングラッチ回路が非常に有効なものとなる。

【0115】なお、図23の回路例では、入力信号in2として基準電圧（直流電圧）Vrefを各回路に共通に入力する構成となっているが、第1実施例に係るサンプリングラッチ回路においても説明したように、図24に示すように、各サンプリングラッチ回路122-1、1

22-2, 122-3ごとに、データ信号b0, b1, b2の反転信号xb0, xb1, xb2を入力することも可能である。

【0116】図25は、図24の変形例を示すブロック図であり、図中、図24と同等部分には同一符号を付して示している。この変形例では、各サンプリングラッチ回路122-1, 122-2, 122-3の電源側のスイッチ（図18のスイッチ108、図22のスイッチ158に相当）を各回路122-1, 122-2, 122-3間で共用し、このスイッチを例えばPMOSTランジスタQp45で実現した構成となっている。

【0117】上記の構成によれば、デジタルデータが例えば3ビットの場合には、電源側のスイッチを2個削減できることになるため、回路のさらなる小面積化が可能となる。また、図23の回路例の場合と同様に、反転信号xb0, xb1, xb2に代えて、直流電圧の基準電圧Vrefを各サンプリングラッチ回路122-1, 122-2, 122-3に共通の入力信号in2としても良い。

【0118】次に、第1, 第2の水平駆動系12, 13の第2ラッチ回路123, 133として用いるラッチ回路の具体的な構成について説明する。

【0119】図26は、ラッチ回路の第1実施例を示す回路図である。この第1実施例に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNチャネルMOSTランジスタQn51およびPチャネルMOSTランジスタQp51からなるCMOSインバータ171と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn52およびPMOSTランジスタQp52からなるCMOSインバータ172とが、互いに並列に接続されてなるCMOSラッチセル170を基本構成としている。

【0120】このCMOSラッチセル170において、CMOSインバータ171の入力端（即ち、MOSTランジスタQn51, Qp51のゲート共通接続点）と、CMOSインバータ172の出力端（即ち、MOSTランジスタQn52, Qp52のドレイン共通接続点）とが接続され、さらにCMOSインバータ172の入力端（即ち、MOSTランジスタQn52, Qp52のゲート共通接続点）とCMOSインバータ171の出力端（即ち、MOSTランジスタQn51, Qp51のドレイン共通接続点）とが接続されている。

【0121】CMOSインバータ171の入力端と第1回路入力端子173との間にスイッチ175が接続され、CMOSインバータ172の入力端と第2回路入力端子174との間にスイッチ176が接続されている。また、CMOSインバータ172の出力端は第1回路出力端子177に、CMOSインバータ171の出力端は第2回路出力端子178にそれぞれ接続されている。そして、これら回路出力端子177, 178を通して互いに逆極性（逆相）の2つの出力信号out1, out2

が導出される。

【0122】このCMOSラッチセル170の正電源側、即ちノードAは正の電源電圧VDDの電源ライン179に直接接続されている。また、負電源側、即ちノードBはスイッチ180を介して負電源側電圧（例えば、グラウンドレベル）VSS1の電源ライン182に接続されるとともに、スイッチ181を介して電源電圧VSS1よりも低い電源電圧（負電源電圧）VSS2の電源ライン183に接続されている。

【0123】スイッチ180はスイッチ175, 176と共に、図示せぬ制御回路から入力端子184に入力されるアウトプットイネーブルパルスoe1によってスイッチング制御される。一方、スイッチ181は、上記制御回路から入力端子185に入力されるアウトプットイネーブルパルスoe2によってスイッチング制御される。

【0124】上記構成の第1実施例に係るラッチ回路において、第1回路入力端子173にはVDD~VSS1の振幅を持つ信号in1が入力され、第2回路入力端子174には入力信号in1の反転信号in2が入力されるものとする。ここで、第1実施例に係るラッチ回路の回路動作について、図27のタイミングチャートを用いて説明する。

【0125】先ず、アクティブ“H”のアウトプットイネーブルパルスoe1が入力端子174に入力されると、これに応答してスイッチ175, 176がオン（閉）状態となって入力信号in1, in2をサンプリングし、CMOSラッチセル170へ伝達する。これにより、入力信号in1, in2は、VDD~VSS1の振幅で一旦CMOSラッチセル170にラッチされる。

【0126】このラッチ動作の期間では、スイッチ180がアウトプットイネーブルパルスoe1に応答してオン状態にある一方、アウトプットイネーブルパルスoe2がアウトプットイネーブルパルスoe1の逆極性（“L”レベル）にあることから、スイッチ181がオフ（開）状態にあるため、CMOSラッチセル170の負電源側は電源電圧VSS1の電源ライン172に接続されることになる。

【0127】次に、アウトプットイネーブルパルスoe1が“L”レベルに遷移するとともに、アウトプットイネーブルパルスoe2が“H”レベルに遷移することによって出力動作の期間に移行する。この期間では、スイッチ180がオフ状態、スイッチ181がオン状態となるため、CMOSラッチセル170の負電源側は電源電圧VSS2の電源ライン183に接続されることになる。

【0128】これにより、CMOSラッチセル170において、それまでVDD~VSS1の振幅でラッチされていた信号が、VDD~VSS2の振幅を持つこととなる。そして、このVDD~VSS2の振幅の信号が信号

out1, out2として出力されることになる。その結果、VDD~VSS1の振幅を持つ信号in1, in2をサンプリングラッチし、VDD~VSS2の振幅を持つ信号out1, out2にレベル変換（レベルシフト）することができる。

【0129】上述したように、第1実施形態に係るラッチ回路では、CMOSラッチセル170を基本構成とし、レベルシフト機能を持つラッチ回路において、CMOSラッチセル170の負電源側にVSS1電源とVSS2電源を選択する2つのスイッチ180, 181を設け、これらスイッチ180, 181をCMOSラッチセル170のラッチ動作および出力動作の各期間に応じてスイッチング制御することにより、CMOSラッチセル170がラッチ動作の期間ではVSS1電源で動作し、出力動作の期間ではVSS2電源で動作することになる。

【0130】これにより、VSS1/VSS2の電源に流れる電流を抑制することができ、特に出力負荷を充電するための充電電流の多くはVDD電源からVSS1電源に向かって流れるため、VSS2電源に流れる電流が非常に少ない。しかも、少ない回路素子数でラッチ動作およびレベルシフト動作を実現できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化のレベルシフト機能付きラッチ回路を実現できる。

【0131】図28に、別のタイミング例を示す。図28のタイミング例では、アウトプットイネーブルパルスoe2の立ち下がりの方がアウトプットイネーブルパルスoe1の立ち上がりよりも若干早く、アウトプットイネーブルパルスoe2の立ち上がりの方がアウトプットイネーブルパルスoe1の立ち下がりよりも若干遅くなっている。このようなタイミング関係にすることで、VSS2電源へ流れ込む電流を確実に減らすことができる。

【0132】図29は、第1実施例に係るラッチ回路の具体例を示す回路図であり、図中、図26と同等部分には同一符号を付して示している。この具体例に係るラッチ回路では、図26のスイッチ175, 176, 180, 181として、NMOSトランジスタQn53, Qn54, Qn55, Qn56を用い、トランジスタQn53, Qn54, Qn55の各ゲートにアウトプットイネーブルパルスoe1を、トランジスタQn56のゲートにアウトプットイネーブルパルスoe2をそれぞれ印加する構成となっている。

【0133】このように、スイッチ175, 176, 180, 181をトランジスタで実現した場合にも、その回路の動作は図26の回路の場合と同じである。また、タイミング例についても図27および図28と同じである。なお、本具体例では、スイッチ175, 176, 180, 181をNMOSで実現しているが、アウトプット

トイネーブルパルスoe1, oe2がアクティブ“L”の場合には、その極性は逆になることは明らかである。

【0134】図30は、ラッチ回路の第2実施例を示す回路図である。この第2実施例に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn61およびPMOSトランジスタQp61からなるCMOSインバータ191と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSトランジスタQn62およびPMOSトランジスタQp62からなるCMOSインバータ192とが、互いに並列に接続されてなるCMOSラッチセル190を基本構成としている。

【0135】このCMOSラッチセル190において、CMOSインバータ191の入力端（即ち、MOSトランジスタQn61, Qp61のゲート共通接続点）と、CMOSインバータ192の出力端（即ち、MOSトランジスタQn62, Qp62のドレイン共通接続点）とが接続され、さらにCMOSインバータ192の入力端（即ち、MOSトランジスタQn62, Qp62のゲート共通接続点）とCMOSインバータ191の出力端（即ち、MOSトランジスタQn61, Qp61のドレイン共通接続点）とが接続されている。

【0136】CMOSインバータ191の入力端と第1回路入力端子193との間にスイッチ195が接続され、CMOSインバータ192の入力端と第2回路入力端子194との間にスイッチ196が接続されている。また、CMOSインバータ192の出力端は第1回路出力端子197に、CMOSインバータ191の出力端は第2回路出力端子198にそれぞれ接続されている。そして、これら回路出力端子197, 198を通して互いに逆極性（逆相）の2つの出力信号out1, out2が導出される。

【0137】このCMOSラッチセル190の正電源側、即ちノードAはスイッチ199を介して正電源電圧VDD1の電源ライン201に接続されるとともに、スイッチ200を介して電源電圧VDD1よりも高い電源電圧VDD2の電源ライン202に接続されている。また、負電源側、即ちノードBは負電源側電圧（例えば、グラウンドレベル）VSSの電源ライン203に直接接続されている。

【0138】スイッチ199はスイッチ195, 196と共に、図示せぬ制御回路から入力端子204に入力されるアウトプットイネーブルパルスoe1によってスイッチング制御される。一方、スイッチ200は、上記制御回路から入力端子205に入力されるアウトプットイネーブルパルスoe2によってスイッチング制御される。

【0139】上記構成の第2実施例に係るラッチ回路において、第1回路入力端子193にはVDD1~VSSの振幅を持つ信号in1が入力され、第2回路入力端子

194には入力信号in1の反転信号in2が入力されるものとする。また、アウトプットイネーブルパルスoe1、oe2としては、第1実施例に係るラッチ回路の場合と同様に、図27または図28のタイミング関係にあるパルスが入力される。

【0140】これにより、第2実施例に係るラッチ回路では、基本的に、第1実施例に係るラッチ回路と同じ動作が行われる。すなわち、アウトプットイネーブルパルスoe1がアクティブのラッチ動作の期間では、VDD1電源のもとで動作し、VDD1～VSSの振幅を持つ信号in1、in2がスイッチ195、196を通してCMOSラッチセル190に同じ振幅で一旦ラッチされる。

【0141】次に、アウトプットイネーブルパルスoe2がアクティブの出力動作の期間では、CMOSラッチセル190の正側の電源がVDD1電源からVDD2電源に切り換わるため、VDD1～VSSの振幅を持つ信号がVDD2～VSSの振幅の信号にレベルシフトされ、これが出力信号out1、out2として導出されることになる。

【0142】上述したように、第2実施例に係るラッチ回路では、CMOSラッチセル190の正電源側に電源選択用の2つのスイッチ199、200を設け、これらスイッチ199、200をCMOSラッチセル190のラッチ動作および出力動作の各期間に応じてスイッチング制御することにより、ラッチ動作の期間ではVDD1電源で動作し、出力動作の期間ではVDD2電源で動作することになるため、第1実施例の場合と同様に、VDD1/VDD2の電源に流れる電流を抑制することができ、しかも少ない回路素子数で構成できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化が可能となる。

【0143】図31は、ラッチ回路の第3実施例を示す回路図である。この第3実施例に係るラッチ回路は、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn71およびPMOSTランジスタQp71からなるCMOSインバータ211と、各々のゲートおよびドレインがそれぞれ共通に接続されたNMOSTランジスタQn72およびPMOSTランジスタQp72からなるCMOSインバータ212とが、互いに並列に接続されてなるCMOSラッチセル210を基本構成としている。

【0144】このCMOSラッチセル210において、CMOSインバータ211の入力端（即ち、MOSTランジスタQn71、Qp71のゲート共通接続点）と、CMOSインバータ212の出力端（即ち、MOSTランジスタQn72、Qp72のドレイン共通接続点）とが接続され、さらにCMOSインバータ212の入力端（即ち、MOSTランジスタQn72、Qp72のゲ

ト共通接続点）とCMOSインバータ211の出力端（即ち、MOSTランジスタQn71、Qp71のドレイン共通接続点）とが接続されている。

【0145】CMOSインバータ211の入力端と第1回路入力端子213との間にスイッチ215が接続され、CMOSインバータ212の入力端と第2回路入力端子214との間にスイッチ216が接続されている。また、CMOSインバータ212の出力端は第1回路出力端子217に、CMOSインバータ211の出力端は第2回路出力端子218にそれぞれ接続されている。そして、これら回路出力端子217、218を通して互いに逆極性（逆相）の2つの出力信号out1、out2が導出される。

【0146】このCMOSラッチセル210の正電源側、即ちノードAはスイッチ219を介して正電源電圧VDD1の電源ライン221に接続されるとともに、スイッチ220を介して電源電圧VDD1よりも高い電源電圧VDD2の電源ライン222に接続されている。また、負電源側、即ちノードBはスイッチ223を介して負電源側電圧（例えば、グラウンドレベル）VSS1の電源ライン225に接続されるとともに、スイッチ224を介して電源電圧VSS1よりも低い電源電圧（負電源電圧）VSS2の電源ライン226に接続されている。

【0147】スイッチ219、223はスイッチ215、216と共に、図示せぬ制御回路から入力端子227に入力されるアウトプットイネーブルパルスoe1によってスイッチング制御される。一方、スイッチ220、224は、上記制御回路から入力端子228に入力されるアウトプットイネーブルパルスoe2によってスイッチング制御される。

【0148】上記構成の第3実施例に係るラッチ回路において、第1回路入力端子213にはVDD1～VSSの振幅を持つ信号in1が入力され、第2回路入力端子214には入力信号in1の反転信号in2が入力されるものとする。また、アウトプットイネーブルパルスoe1、oe2としては、第1、第2実施例に係るラッチ回路の場合と同様に、図27または図28のタイミング関係にあるパルスが入力される。

【0149】これにより、第3実施例に係るラッチ回路では、基本的に、第1、第2実施例に係るラッチ回路と同じ動作が行われる。すなわち、アウトプットイネーブルパルスoe1がアクティブのラッチ動作の期間では、VDD1、VSS1の各電源のもとで動作し、VDD1～VSS1の振幅を持つ信号in1、in2がスイッチ215、216を通してCMOSラッチセル210に同じ振幅で一旦ラッチされる。

【0150】次に、アウトプットイネーブルパルスoe2がアクティブの出力動作の期間では、CMOSラッチセル210の正側の電源がVDD1電源からVDD2電源に切り換わるとともに、負側の電源がVSS1電源から

らVSS2電源に切り換わるため、VDD1～VSS1の振幅を持つ信号がVDD2～VSS2の振幅の信号にレベルシフトされ、これが出力信号out1, out2として導出されることになる。

【0151】上述したように、第3実施例に係るラッチ回路では、CMOSラッチセル210の正電源側および負電源側にそれぞれ2つのスイッチ219, 220およびスイッチ223, 224を電源選択用として設け、これらスイッチ219, 220およびスイッチ223, 224をCMOSラッチセル210のラッチ動作および出力動作の各期間に応じてスイッチング制御することにより、ラッチ動作の期間ではVDD1, VSS1の各電源で動作し、出力動作の期間ではVDD2, VSS2の各電源で動作することになるため、第1, 第2実施例の場合と同様に、各電源に流れる電流を抑制することができる。しかも、少ない回路素子数で構成できるとともに、低電圧振幅の信号で強制的に高電圧振幅の信号用のラッチを書き換える必要がなく、前段の信号バッファのサイズが小さくて済むため、小面積化が可能となる。

【0152】なお、上記第2, 第3実施例に係るラッチ回路についても、第1実施例の具体例(図29参照)と同様に、図30におけるスイッチ195, 196, 199, 200および図31におけるスイッチ215, 216, 219, 220, 223, 224をトランジスタで実現可能である。ただし、図30におけるスイッチ199, 200および図31におけるスイッチ219, 220としては、PMOSTランジスタが好ましく、この場合はこれらをスイッチングする信号としてアウトプットイネーブルパルスoe1, oe2の各反転信号を用いることになる。

【0153】また、第1, 第2, 第3実施例に係るラッチ回路では、互いに反転信号である2つの出力信号out1, out2を導出する構成としたが、いずれか一方の出力信号のみを導出する構成であっても良い。

【0154】上述したように、駆動回路一体型液晶表示装置において、第1, 第2の水平駆動系12, 13の第2ラッチ回路123, 133として上記構成のレベルシフト機能付きラッチ回路、即ち小面積で実現でき、低消費電力のラッチ回路を用いることにより、当該ラッチ回路を含む水平駆動系12, 13や垂直駆動系14などの駆動回路を、有効画素領域11と同一基板上に作成する際に、当該駆動回路を配する有効画素領域11の額縁を狭くできるとともに、低消費電力の駆動回路一体型液晶表示装置を実現できる。

【0155】図32は、上述した各実施例のうち、第1実施例に係るラッチ回路(図26参照)を第2ラッチ回路123, 133として用いた場合の具体的な構成の一例を示すブロック図であり、例えば3ビットのデジタルデータb0, b1, b2を入力する場合の例を示している。ここでは、第1の水平駆動系12側の第2ラッチ回

路123を示すが、第2の水平駆動系13側の第2ラッチ回路133についても、その構成は全く同じである。

【0156】図32から明らかなように、デジタルデータb0, b1, b2の各ビットごとにサンプリングラッチ回路122-1, 122-2, 122-3が、さらにその後段にラッチ回路123-1, 123-2, 123-3がそれぞれ設けられている。サンプリングラッチ回路122-1, 122-2, 122-3は、デジタルデータb0, b1, b2の各ビットデータを入力とし、水平シフトレジスタ121(図1参照)から出力されるサンプリングパルスにしたがって、各入力データのサンプリングを行うようになっている。

【0157】一方、ラッチ回路123-1, 123-2, 123-3には、サンプリングラッチ回路122-1, 122-2, 122-3から各サンプリングデータが供給されるとともに、外部から入力されるラッチパルスに基づいてバッファ230から出力されるアウトプットイネーブルパルスoe1, oe2がラッチパルスとして入力され、さらに第2の電源発生回路231からVSS2電源が負側の第2の電源として供給される構成となっている。

【0158】これにより、ラッチ回路123-1, 123-2, 123-3は、前段のサンプリングラッチ回路122-1, 122-2, 122-3の各サンプリングデータをアウトプットイネーブルパルスoe1にตอบสนองしてサンプリングラッチした後、データの同時化(線順次化)と次段のDA変換に必要な信号振幅へのレベル変換をアウトプットイネーブルパルスoe2のタイミングで行い、図示せぬレベルシフタ124(図1参照)でレベルシフトした後、DAコンバータ125を通して有効画素領域11の対応するコラム線へ出力する。

【0159】このように、駆動回路一体型液晶表示装置において、第2ラッチ回路123, 133として上記各実施例に係るラッチ回路を用いることにより、当該ラッチ回路ではラッチ動作/出力動作の各期間で電源を使い分けるようにしているため、第2の電源発生回路231に流れる電流を抑制できる。これにより、第2の電源発生回路231の液晶パネルへの内蔵(一体形成)化が容易になるとともに、第2ラッチ回路123, 133を小面積にて実現できるため、液晶パネルの狭額縁化が可能となる。

【0160】図33は、図32の変形例を示すブロック図であり、図中、図32と同等部分には同一符号を付して示している。この変形例では、各ラッチ回路123-1, 123-2, 123-3の負電源側のスイッチ(図26のスイッチ180, 181に相当)としてスイッチ232, 233を設け、このスイッチ232, 233を各回路123-1, 123-2, 123-3間で共用した構成となっている。

【0161】この構成によれば、デジタルデータが例えば3ビットの例では、図26の回路をそのまま用いた場

合には、3ビットに対応した3個のラッチ回路の各々に対して負電源側のスイッチが2個、計6個の電源切り換え用のスイッチが必要であるのに対して、3個のラッチ回路に対して2個のスイッチで済み、電源切り換え用のスイッチを4個削減できることになるため、さらなる小面積化が可能となり、よって液晶パネルのより狭額縁化が実現できる。

【0162】なお、本例では、第2ラッチ回路123、133として、第1実施例に係るラッチ回路を用いたが、第2、第3実施例に係るラッチ回路を用いることも可能であり、同様の作用効果を得ることができる。

【0163】以上、水平シフトレジスタ121、131、サンプリング&ラッチ回路122、132、第2ラッチ回路123、133、レベルシフタ124、134およびDA変換回路125、135の具体的な実施例について説明したが、これら各実施例に係る回路構成を液晶表示装置の各回路が同時に採用する必要はなく、いずれかの回路が上記各実施例に係る回路構成を採用した構成とすることも可能であり、この場合であってもLCDパネルの狭額縁化に寄与できる。

【0164】

【発明の効果】以上説明したように、本発明によれば、基準電圧選択型DA変換回路およびこれを搭載した駆動回路一体型液晶表示装置において、nビットのデータ信号の各ビットの論理に対応した極性のn個のアナログスイッチが互いに直列に接続されてなる2ⁿ個の階調選択ユニットを、2ⁿ本の基準電圧線の各々と画素部のコラム線との間にそれぞれ接続したことにより、データ信号をデコードするデコード回路と、そのデコード出力に基づいて対応する基準電圧を選択する選択スイッチとを同一トランジスタで形成可能となり、回路を構成する素子数が少なくて済むため、消費電力を増やすことなく、非常に狭幅な額縁のLCDパネルを実現できることになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る駆動回路一体型液晶表示装置のシステム構成を示すブロック図である。

【図2】有効画素領域の構成の一例を示す回路図である。

【図3】基準電圧選択型DA変換回路の基本構成図である。

【図4】基準電圧選択型DA変換回路の具体的な回路構成を示す回路図である。

【図5】単結晶シリコン・トランジスタの構造の一例を示す断面図である。

【図6】ポリシリコンTFTの構造の一例を示す断面図である。

【図7】レベルシフト回路の第1実施例を示す回路図である。

【図8】第1実施例に係るレベルシフト回路の回路動作

を説明するためのタイミングチャートである。

【図9】直流電圧を基準電圧とした場合のタイミングチャートである。

【図10】第1実施例に係るレベルシフト回路の変形例を示す回路図である。

【図11】第1実施例に係るレベルシフト回路の他の変形例を示す回路図である。

【図12】第1実施例に係るレベルシフト回路のさらに他の変形例を示す回路図である。

10 【図13】リセット回路を付加した場合の回路動作を説明するためのタイミングチャートである。

【図14】リセット信号を生成する回路例を示す回路図である。

【図15】レベルシフト回路の第2実施例を示す回路図である。

【図16】第2実施例に係るレベルシフト回路の変形例を示す回路図である。

【図17】水平シフトレジスタの構成の一例を示すブロック図である。

20 【図18】サンプリングホールド回路の第1実施例を示す回路図である。

【図19】第1実施例に係るサンプリングホールド回路の回路動作を説明するためのタイミングチャートである。

【図20】入力信号i_{n1}の反転信号を入力信号i_{n2}とした場合のタイミングチャートである。

【図21】第1実施形態に係るサンプリングホールド回路の変形例を示す回路図である。

30 【図22】サンプリングホールド回路の第2実施例を示す回路図である。

【図23】各実施例に係るサンプリングホールド回路をサンプリング&第1ラッチ回路として用いた場合の具体的な構成の一例を示すブロック図である。

【図24】デジタルデータの反転データを入力信号i_{n2}とした場合の構成を示すブロック図である。

【図25】図24の変形例を示すブロック図である。

【図26】ラッチ回路の第1実施例を示す回路図である。

40 【図27】第1実施形態に係るラッチ回路の回路動作を説明するためのタイミングチャートである。

【図28】第1実施形態に係るラッチ回路の回路動作の別のタイミング例を示すタイミングチャートである。

【図29】第1実施形態に係るラッチ回路の具体例を示す回路図である。

【図30】ラッチ回路の第2実施例を示す回路図である。

【図31】ラッチ回路の第3実施例を示す回路図である。

50 【図32】各実施形態に係るラッチ回路を第2ラッチ回路として用いた場合の具体的な構成の一例を示すブロッ

ク図である。

【図33】図32の変形例を示すブロック図である。

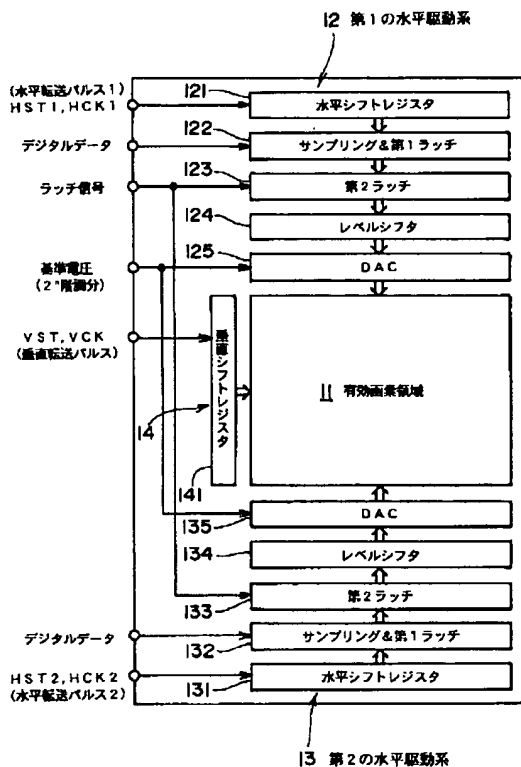
【図34】従来例のシステム構成を示すブロック図である。

【図35】基準電圧選択型DA変換回路の一例を示す回路図である。

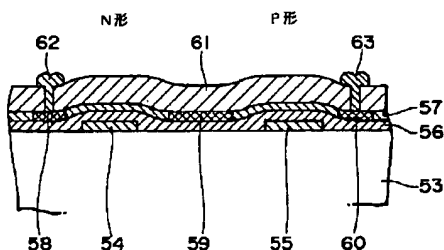
【符号の説明】

11…有効画素領域、12、13…第1、第2の水平駆動系、14…垂直駆動系、20…画素、21…TFT（薄膜トランジスタ）、22…液晶セル、23…補助容量、30～37…階調選択ユニット、70、84、100、150、170、190…CMOSラッチセル、7*

【図1】

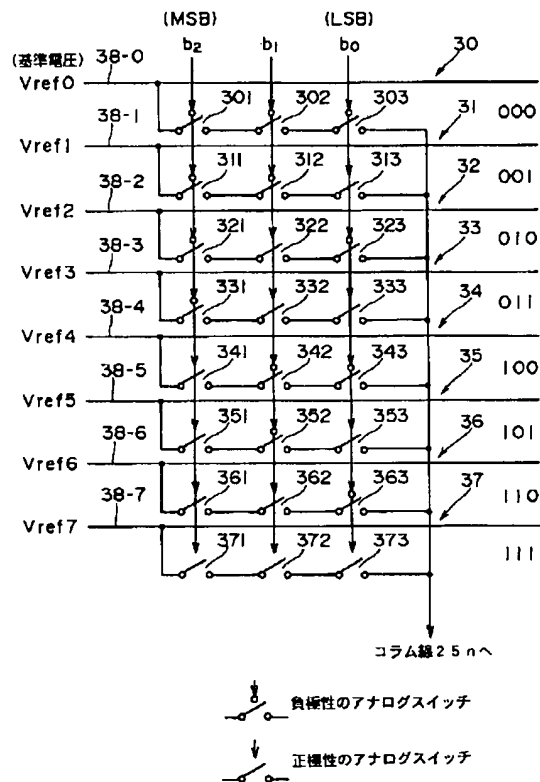


【図6】

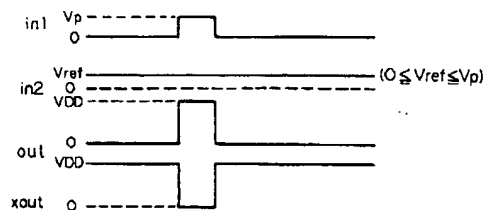


* 1, 72, 85, 86, 101, 102, 151, 152, 171, 172, 191, 192…CMOSインバータ、121, 131…水平シフトレジスタ、122, 132…サンプリング&第1ラッチ回路（サンプリングラッチ回路）、123, 133…第2ラッチ回路（ラッチ回路）、124, 134…レベルシフタ（レベルシフト回路）、125, 135…DA変換回路、301～303, 311～313, 321～323, 331～333, 341～343, 351～353, 361～363, 371～373…アナログスイッチ、Vref0～Vref7…基準電圧

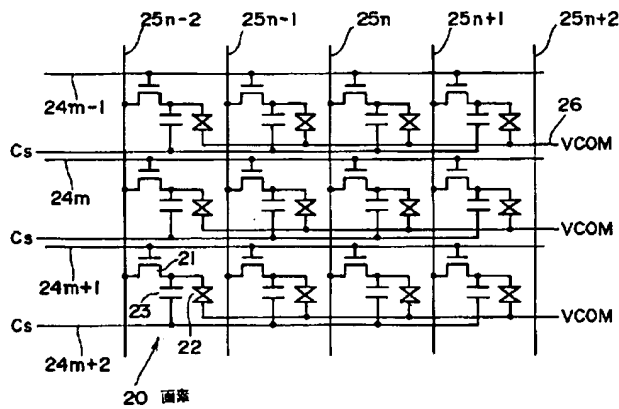
【図3】



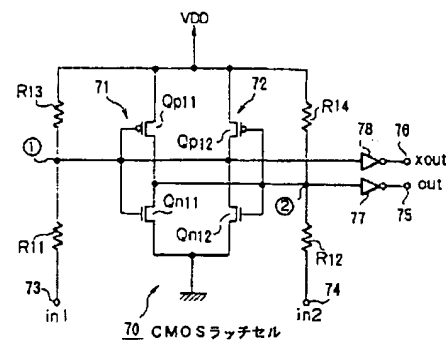
【図9】



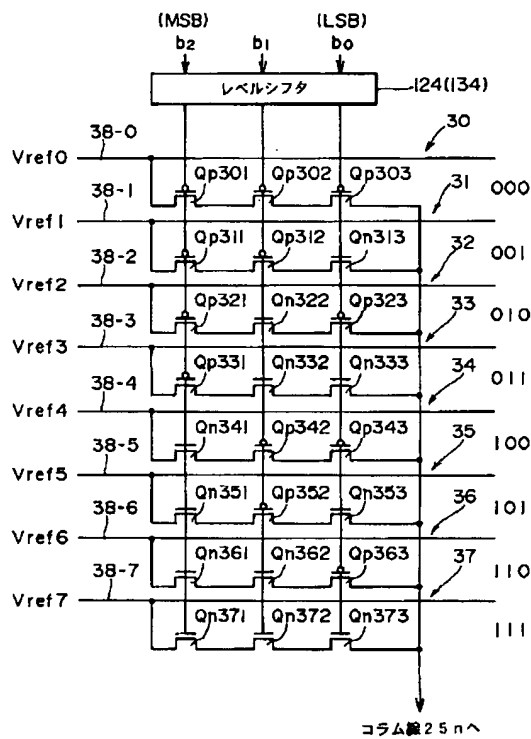
【図2】



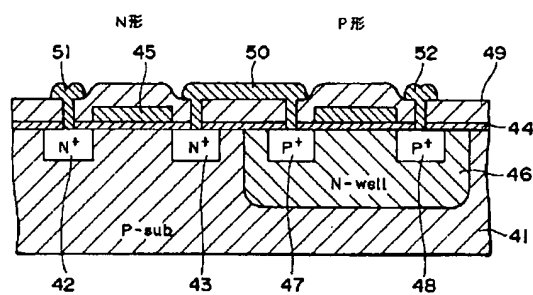
【図7】



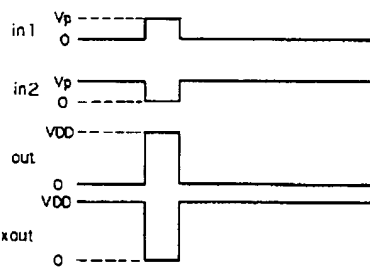
【図4】



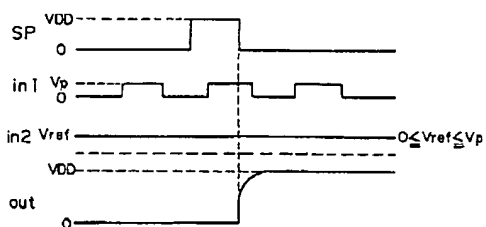
【図5】



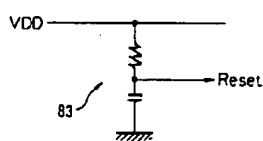
【図8】



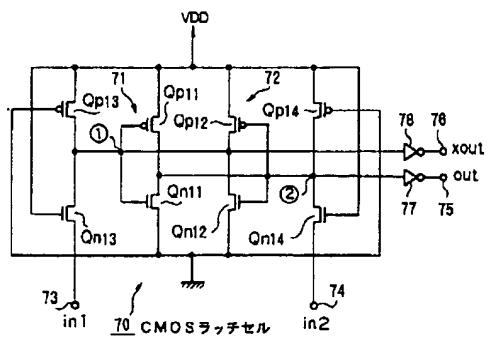
【図19】



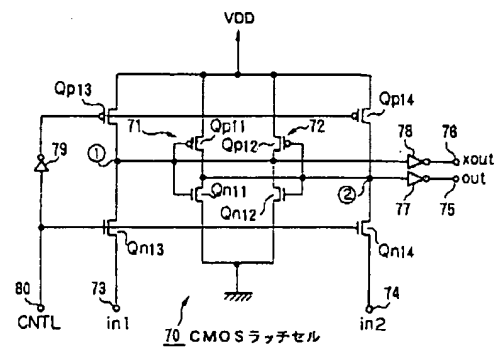
【図14】



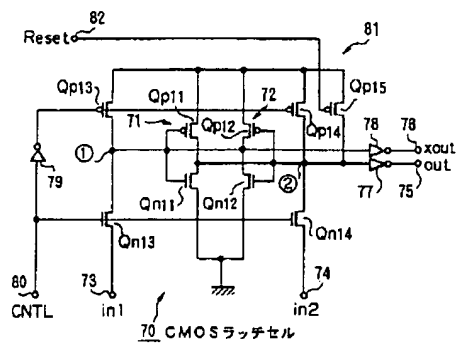
【図10】



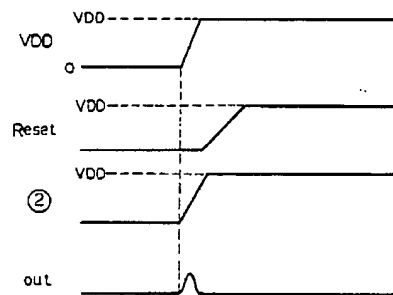
【図11】



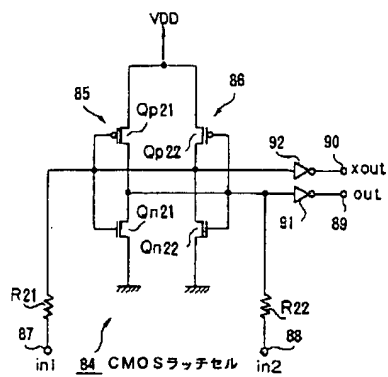
【図12】



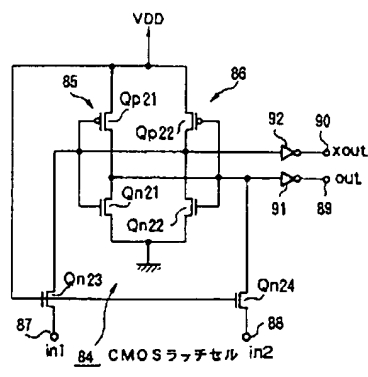
【図13】



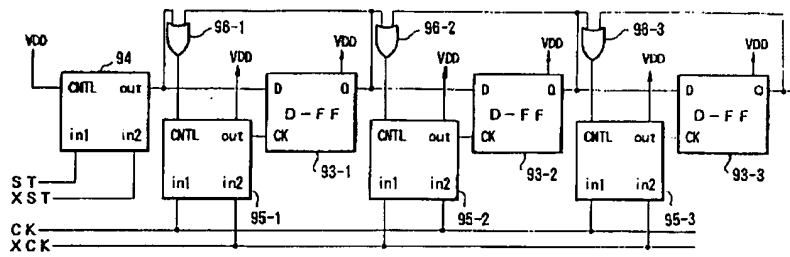
【図15】



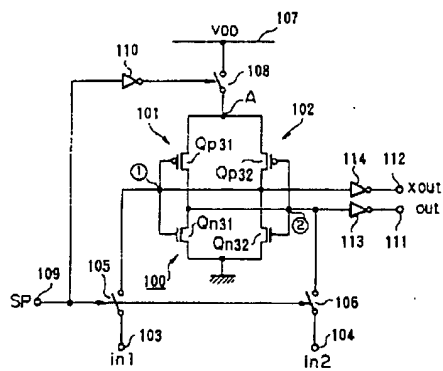
【図16】



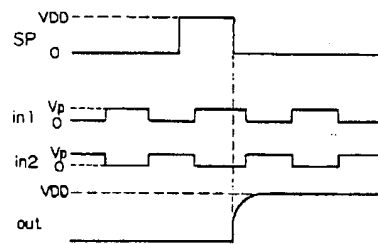
【図17】



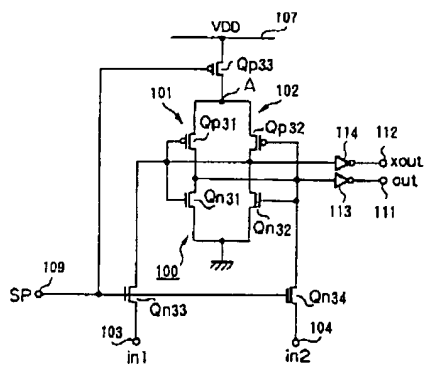
【図18】



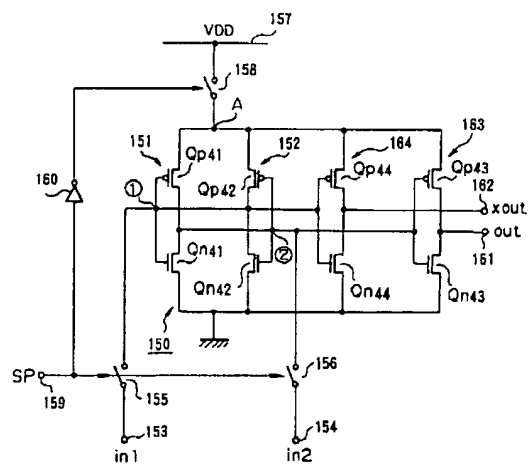
【図20】



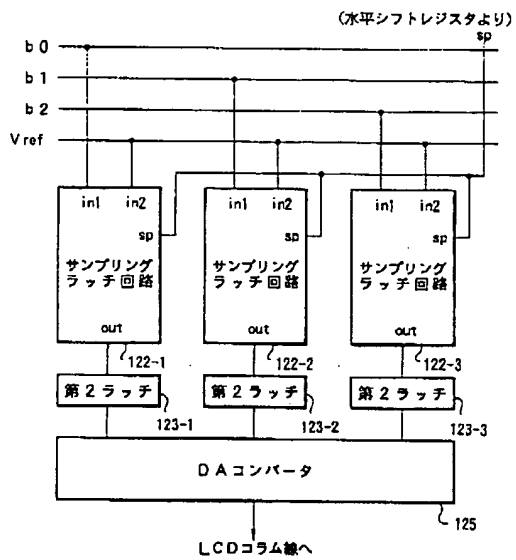
【図21】



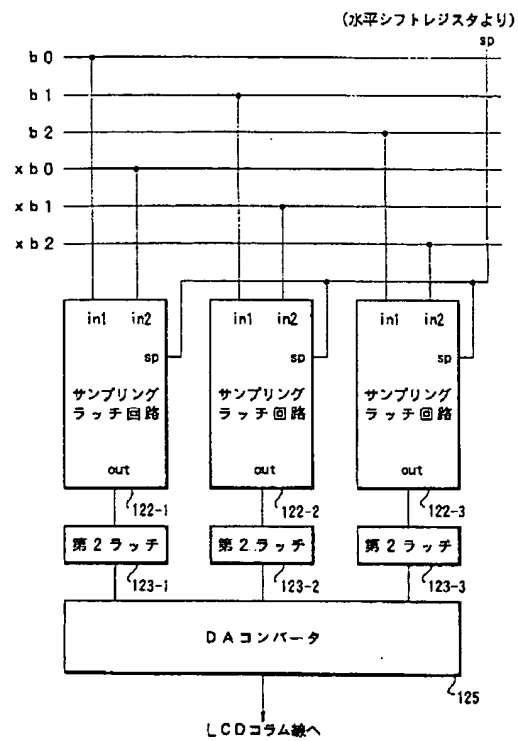
【図22】



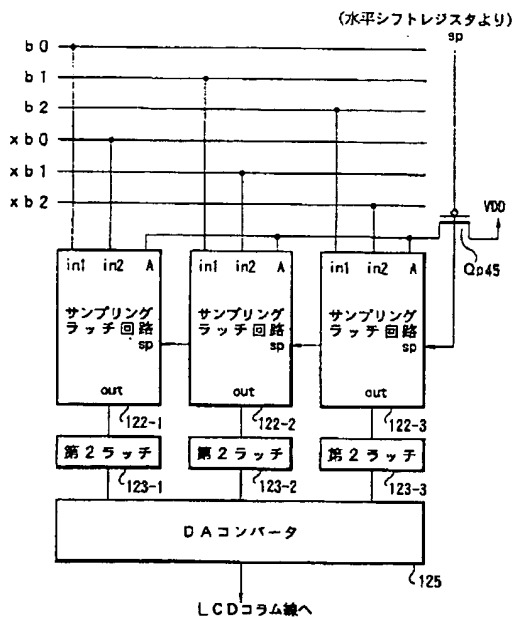
【図23】



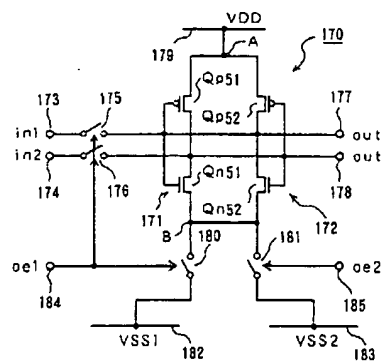
【図24】



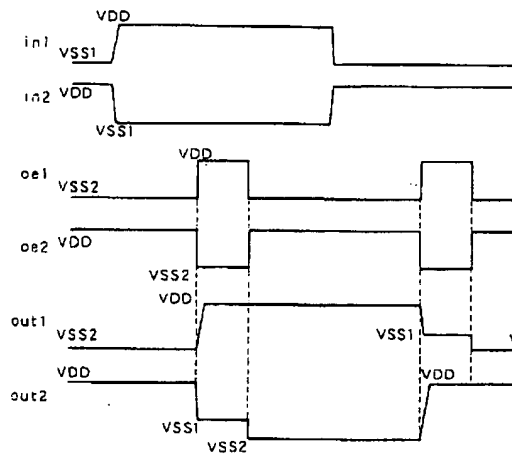
【図25】



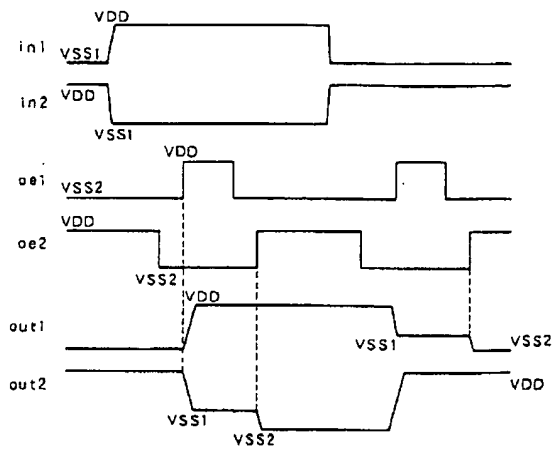
【図26】



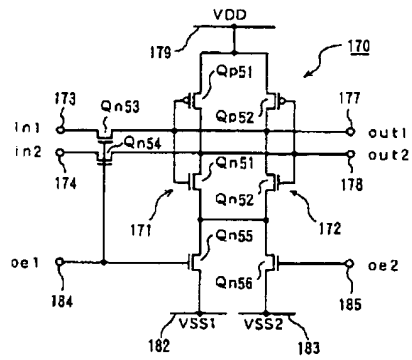
【図27】



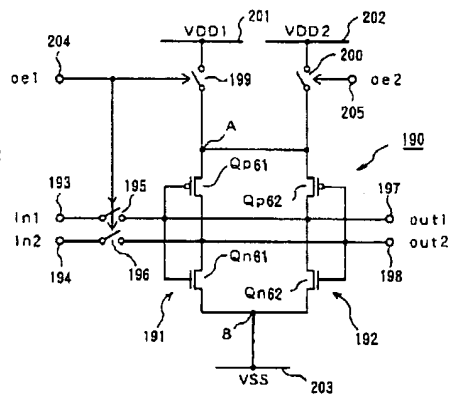
【図28】



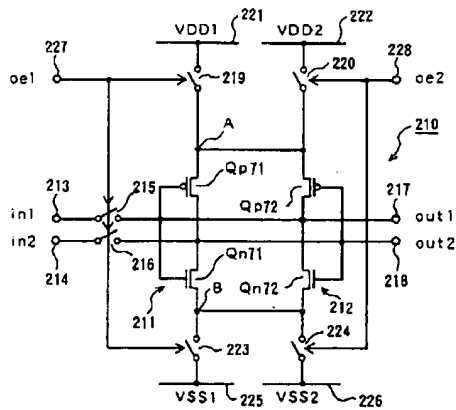
【図29】



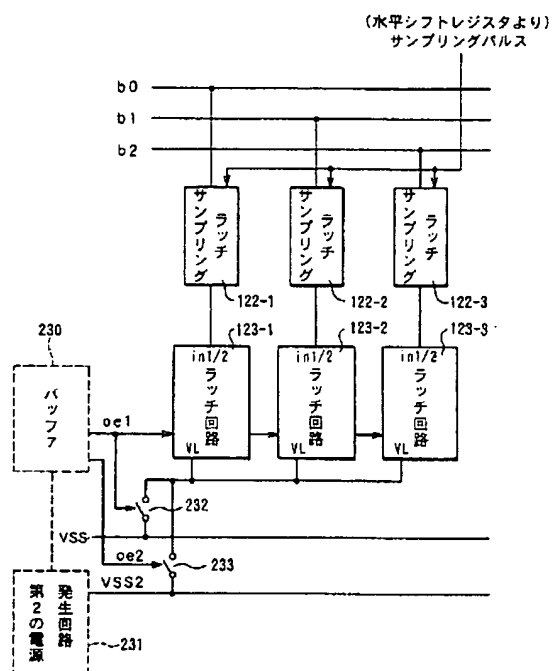
【図30】



【図31】



【図 3 3】



【图 35】

